

日 本 国 特 許
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 6月27日

出 願 番 号

Application Number:

特願2002-188286

[ST.10/C]:

[JP2002-188286]

出 願 人

Applicant(s):

パイオニア株式会社
静岡パイオニア株式会社

2003年 1月 7日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎

出証番号 出証特2002-3103944

【書類名】 特許願

【整理番号】 56P0695

【提出日】 平成14年 6月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01J 17/49

【発明の名称】 表示パネルの駆動装置

【請求項の数】 10

【発明者】

 【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 静岡パイオ
ニア株式会社 甲府事業所内

 【氏名】 岩見 隆

【発明者】

 【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 静岡パイオ
ニア株式会社 甲府事業所内

 【氏名】 湯浅 豊久

【発明者】

 【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 静岡パイオ
ニア株式会社 甲府事業所内

 【氏名】 奥嶋 孝

【発明者】

 【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 静岡パイオ
ニア株式会社 甲府事業所内

 【氏名】 重田 哲也

【発明者】

 【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 静岡パイオ
ニア株式会社 甲府事業所内

 【氏名】 長久保 哲朗

【特許出願人】

 【識別番号】 000005016

【氏名又は名称】 パイオニア株式会社

【特許出願人】

【識別番号】 398050283

【氏名又は名称】 静岡パイオニア株式会社

【代理人】

【識別番号】 100079119

【弁理士】

【氏名又は名称】 藤村 元彦

【手数料の表示】

【予納台帳番号】 016469

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006557

【包括委任状番号】 0011750

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示パネルの駆動装置

【特許請求の範囲】

【請求項 1】 表示ラインを担う複数の行電極と前記行電極各々に交叉して配列された複数の列電極との各交差部に画素を担う容量性の発光セルが形成されている表示パネルを入力映像信号に基づく各画素毎の画素データに応じて駆動する表示パネルの駆動装置であって、

前記画素データに応じて前記列電極と電源ラインとを接続することにより画素データパルスが発生して前記列電極に印加する画素データパルス発生回路と、

所定の共振振幅にて電位が変動する共振パルス電源電位が発生してこれを前記電源ラインに印加すると共に前記画素データパルスによるパルス系列のパターンに応じて最大電位を維持しつつ前記共振振幅を変動させる共振パルス電源回路と

前記入力映像信号における 1 フィールド分の前記画素データに基づいて前記共振パルス電源回路の予測消費電力量を求める電力予測手段と、

前記予測消費電力量に応じて前記共振パルス電源回路の電力消費量を調整すべく前記画素データパルス発生回路を制御する消費電力制御手段と、を備えたことを特徴とする表示パネルの駆動装置。

【請求項 2】 前記電力予測手段は、前記共振パルス電源回路が共振動作する際の共振駆動電力量と前記共振パルス電源回路が直流動作する際の直流駆動電力量との二乗平均値を前記予測消費電力量として得る手段を含むことを特徴とする請求項 1 記載の表示パネルの駆動装置。

【請求項 3】 前記消費電力制御手段は、前記予測消費電力量に応じて前記画素データパルスの 1 フィールド期間内での印加回数を変更すべく前記画素データパルス発生回路を制御する手段を含むことを特徴とする請求項 1 記載の表示パネルの駆動装置。

【請求項 4】 前記消費電力制御手段は、前記予測消費電力量が大なる場合には小なる場合に比して前記画素データパルスの印加回数を小にすべく前記画素データパルス発生回路を制御する手段を含むことを特徴とする請求項 1 記載の表

示パネルの駆動装置。

【請求項 5】 前記画素データパルス発生回路は、各々が所定数の列電極からなる列電極群に夫々対応した複数の I C チップに分割して構築されており、

前記電力予測手段は、前記 I C チップ毎に前記予測消費電力量を求める手段を有し、

前記消費電力制御手段は、前記 I C チップ各々に対する前記予測消費電力量に基づいて前記 I C チップ毎に前記画素データパルスの 1 フィールド期間内での印加回数を制御する手段を含むことを特徴とする請求項 1 記載の表示パネルの駆動装置。

【請求項 6】 前記消費電力制御手段は、前記予測消費電力量が大なる前記画素データパルス発生回路に対してのみに前記画素データパルスの印加回数を小にすべき制御を施すことを特徴とする請求項 5 記載の表示パネルの駆動装置。

【請求項 7】 前記共振パルス電源回路は、1 の前記列電極上に印加される少なくとも 2 つの連続した前記画素データパルスが互いに同一電位である場合には前記第 1 電位を維持したまま前記共振振幅を小にすることを特徴とする請求項 1 記載の表示パネルの駆動装置。

【請求項 8】 前記共振パルス電源回路は、一端が接地されたコンデンサと、前記コンデンサの他端及び前記電源ライン間に設けられた第 1 スイッチング素子及び第 1 コイルの直列回路からなる第 1 電流路と、前記コンデンサの他端及び前記電源ライン間に設けられた第 2 スイッチング素子及び第 2 コイルの直列回路からなる第 2 電流路と、直流の前記第 1 電位を発生する直流電源と、前記直流電源及び前記電源ライン間に設けられた第 3 スイッチング素子と、を含み、

前記画素データパルス発生回路は、前記画素データの論理レベルに応じて前記電源ライン及び前記列電極間を接続する複数の第 4 スイッチング素子と、前記画素データの論理レベルの反転値に応じて前記列電極を接地せしめる複数の第 5 スイッチング素子と、を含むことを特徴とする請求項 1 記載の表示パネルの駆動装置。

【請求項 9】 前記共振パルス電源回路は、前記第 1 ～第 3 スイッチング素子各々の内の前記第 1 スイッチング素子のみをオン状態にせしめた後に前記第 3

スイッチング素子のみをオン状態にせしめてから前記第 2 スwitchング素子のみをオン状態にせしめる制御を周期的に繰り返し実行する駆動制御手段を含むことを特徴とする請求項 1 記載の表示パネルの駆動装置。

【請求項 1 0】 表示ラインを担う複数の行電極と前記行電極各々に交叉して配列された複数の列電極との各交差部に画素を担う容量性の発光セルが形成されている表示パネルを入力映像信号に基づく各画素毎の画素データに応じて駆動する表示パネルの駆動装置であって、

前記画素データに応じて前記列電極と電源ラインとを接続することにより画素データパルスを発生して前記列電極に印加する画素データパルス発生回路と、所定の共振振幅にて電位が変動する共振パルス電源電位を発生してこれを前記電源ラインに印加すると共に前記画素データパルスによるパルス系列のパターンに応じて最大電位を維持しつつ前記共振振幅を変動させる共振パルス電源回路と、前記入力映像信号における 1 フィールド分の前記画素データに基づいて前記共振パルス電源回路の予測消費電力量を求める電力予測手段と、前記予測消費電力量に応じて前記共振パルス電源回路の電力消費量を調整すべく前記画素データパルス発生回路を制御する消費電力制御手段と、を備え、

前記画素データパルス発生回路は、各々が所定数の前記列電極からなる列電極群に夫々対応した複数の IC チップに分割して構築されており、

前記 IC チップの各々は、前記表示パネルの基板上に形成されている前記共振パルス電源回路における前記電源ライン及び前記列電極に夫々接続されている複数のフレキシブル配線基板上に実装されていることを特徴とする表示パネルの駆動装置。

【発明の詳細な説明】

【0 0 0 1】

【発明が属する技術分野】

本発明は、表示パネルの駆動装置に関する。

【0 0 0 2】

【従来の技術】

近年、表示装置の大画面化にともなって薄型のものが要求され、各種の薄型表

示デバイスが実用化されている。プラズマディスプレイパネル(以下、PDPと称する)は、画素を担う複数の放電セルをマトリクス状に配列して為る薄型の表示パネルの1つとして着目されている。この際、各放電セルは、放電によって発光するものである為、所定の輝度で発光する”点灯状態”と、”消灯状態”の2状態、つまり、2階調分の輝度しか表現出来ない。そこで、このような放電セルからなるPDP10に対して、入力された映像信号に対応した中間調の輝度表示を実現させるべく、サブフィールド法を用いた階調駆動を実施する。

【0003】

サブフィールド法では、1フィールドの表示期間をN個のサブフィールドに分割し、各サブフィールドに、放電セルを連続して放電せしめるべき回数を予め割り付けておく。各サブフィールド内では、入力映像信号に応じて放電セル各々を選択的に放電せしめて点灯セル状態及び消灯セル状態のいずれか一方に設定するアドレス行程と、点灯セル状態にある放電セルのみを上述した如く割り当てられている回数だけ繰り返し放電発光させる発光維持行程と、を実行する。かかる駆動によれば、1フィールド表示期間内において各発光維持行程で実施された放電発光の総数に応じた中間輝度が表現されるのである。

【0004】

ここで、プラズマディスプレイ装置では、実際の画像表示を担う発光維持行程での放電の他に上記アドレス行程時においても放電が生起され、この放電に伴って流れる電流に応じた電力が消費される。この際、かかるアドレス行程において各放電セルが放電するか否かは入力映像信号に依存している。よって、表示すべき画像を指定する入力映像信号によっては、アドレス行程で消費される電力が増大する等の問題が生じた。

【0005】

【発明が解決しようとする課題】

本発明は、上記問題等を解決するためになされたものであり、消費電力の抑制等を図ることが可能な表示パネルの駆動装置を提供することを目的とする。

【0006】

【課題を解決するための手段】

請求項 1 に記載の発明は、表示ラインを担う複数の行電極と前記行電極各々に交叉して配列された複数の列電極との各交差部に画素を担う容量性の発光セルが形成されている表示パネルを入力映像信号に基づく各画素毎の画素データに応じて駆動する表示パネルの駆動装置であって、前記画素データに応じて前記列電極と前記電源ラインとを接続することにより画素データパルスが発生して前記列電極に印加する画素データパルス発生回路と、所定の共振振幅にて電位が変動する共振パルス電源電位が発生してこれを電源ラインに印加すると共に前記画素データパルスによるパルス系列のパターンに応じて最大電位を維持しつつ前記共振振幅を変動させる共振パルス電源回路と、前記入力映像信号における 1 フィールド分の前記画素データに基づいて前記共振パルス電源回路の予測消費電力量を求める電力予測手段と、前記予測消費電力量に応じて前記共振パルス電源回路の電力消費量を調整すべく前記画素データパルス発生回路を制御する消費電力制御手段と、を備える。

【 0 0 0 7 】

又、請求項 1 0 に記載の発明は、表示ラインを担う複数の行電極と前記行電極各々に交叉して配列された複数の列電極との各交差部に画素を担う容量性の発光セルが形成されている表示パネルを入力映像信号に基づく各画素毎の画素データに応じて駆動する表示パネルの駆動装置であって、前記画素データに応じて前記列電極と前記電源ラインとを接続することにより画素データパルスが発生して前記列電極に印加する画素データパルス発生回路と、所定の共振振幅にて電位が変動する共振パルス電源電位が発生してこれを電源ラインに印加すると共に前記画素データパルスによるパルス系列のパターンに応じて最大電位を維持しつつ前記共振振幅を変動させる共振パルス電源回路と、前記入力映像信号における 1 フィールド分の前記画素データに基づいて前記共振パルス電源回路の予測消費電力量を求める電力予測手段と、前記予測消費電力量に応じて前記共振パルス電源回路の電力消費量を調整すべく前記画素データパルス発生回路を制御する消費電力制御手段と、を備え、前記画素データパルス発生回路は、各々が所定数の前記列電極からなる列電極群に夫々対応した複数の IC チップに分割して構築されており、前記 IC チップの各々は、前記表示パネルの基板上に形成されている前記共振

パルス電源回路における前記電源ライン及び前記列電極に夫々接続されている複数のフレキシブル配線基板上に実装されている。

【0008】

【発明の実施の形態】

以下、本発明の実施例を図を参照しつつ説明する。

図1は、本発明による表示パネルの駆動装置を搭載したプラズマディスプレイ装置の概略構成を示す図である。

このプラズマディスプレイ装置は、プラズマディスプレイパネルとしてのPDP10と、A/D変換器1、駆動制御回路20、同期検出回路3、メモリ4、アドレスドライバ電力予測回路5、アドレスドライバ6、第1サスティンドライバ7及び第2サスティンドライバ8からなる駆動部と、から構成されている。

【0009】

PDP10は、表示画面を担う透明の前面基板上において互いに交互に、かつ平行に配置されている帯状の行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y$ と、放熱板が固着されている背面基板上において上記行電極各々に交叉して配置されている帯状の列電極 $D_1 \sim D_m$ とを備えている。列電極D、行電極X及びYは放電空間に対して誘電体層で被覆されており、各行電極対と列電極との交差部に画素を担う放電セルが形成される構造となっている。尚、行電極X及び行電極Yの一对にて1表示ライン分の表示を担う。

【0010】

A/D変換器1は、駆動制御回路20から供給されるクロック信号に応じて、入力されたアナログの入力映像信号をサンプリングしてこれを各画素に対応した例えば8ビットの画素データPDに変換する。データ変換回路30は、かかる8ビットの画素データPDを14ビットの画素駆動データGDに変換する。

図2は、かかるデータ変換回路30の内部構成を示す図である。

【0011】

図2において、第1データ変換回路32は、A/D変換器1から順次供給されてくる8ビットの画素データPDを、図3に示されるが如き変換特性に基づいて $(14 \times 16) / 255$ 、つまり $224 / 255$ にした8ビット(0～224)の

変換画素データ PD_H に変換し、これを多階調化処理回路 3 3 に供給する。この変換特性は、画素データ PD のビット数、及び多階調化処理回路 3 3 の多階調化処理による圧縮ビット数、並びに表示階調数に応じて設定される。かかる第 1 データ変換回路 3 2 によるデータ変換により、以下に説明する多階調化処理回路 3 3 での輝度飽和の発生及び表示階調がビット境界にない場合に生じる表示特性の平坦部の発生（すなわち、階調歪みの発生）を防止する。

【0012】

多階調化処理回路 3 3 は、上記第 1 データ変換回路 3 2 から供給された変換画素データ PD_H に対して誤差拡散処理及びディザ処理等の多階調化処理を施す。これにより、多階調化処理回路 3 3 は、視覚上における輝度の階調表現数を略 256 階調に維持しつつもそのビット数を 4 ビットに圧縮した多階調化画素データ PD_S を得る。例えば、上記誤差拡散処理では、上記変換画素データ PD_H の上位 6 ビット分を表示データ、残りの下位 2 ビット分を誤差データとして夫々分離する。そして、周辺画素各々に対応した上記変換画素データ PD_H から求められた誤差データを夫々重み付け加算したものを、上記表示データに反映させる。かかる動作により、原画素における下位 2 ビット分の輝度が上記周辺画素により擬似的に表現され、それ故に 8 ビットよりも少ない 6 ビット分の表示データにて、上記 8 ビット分の画素データと同等の輝度階調表現が可能になるのである。次に、この誤差拡散処理によって得られた 6 ビットの誤差拡散処理画素データにディザ処理を施す。ディザ処理では、互いに隣接する複数の画素を 1 画素単位とし、この 1 画素単位内の各画素に対応した上記誤差拡散処理画素データに、互いに異なる係数値からなるディザ係数を夫々割り当てて加算してディザ加算画素データを得る。かかるディザ係数の加算によれば、上記 1 画素単位で眺めた場合には上記ディザ加算画素データの上位 4 ビット分だけでも 8 ビットに相当する輝度を表現することが可能となる。そこで、多階調化処理回路 3 3 は、上記ディザ加算画素データからその上位 4 ビット分を抽出したものを多階調化画素データ PD_S として、これを第 2 データ変換回路 3 4 及び 3 5 の各々に供給する。

【0013】

第 2 データ変換回路 3 4 は、4 ビットの上記多階調化画素データ PD_S を図 4

に示されるが如き変換テーブルに従って14ビットの画素駆動データ GD_a に変換し、これをセクタ36に供給する。第2データ変換回路35は、4ビットの上記多階調化画素データ PD_S を図5に示されるが如き変換テーブルに従って14ビットの画素駆動データ GD_b に変換し、これをセクタ36に供給する。

【0014】

セクタ36は、駆動制御回路20から論理レベル「0」のアドレス電力抑制信号 APC が供給された場合には上記画素駆動データ GD_a 及び GD_b の内から GD_a を選択しこれを画素駆動データ GD としてメモリ4に供給する。一方、論理レベル「1」のアドレス電力抑制信号 APC が供給された場合には、セクタ36は、上記画素駆動データ GD_b を選択しこれを画素駆動データ GD としてメモリ4に供給する。

【0015】

メモリ4は、14ビットの上記画素駆動データ GD を、駆動制御回路20から供給された書込信号に従って順次書き込む。そして、1画面(n 行、 m 列)分の画素駆動データ $GD_{1,1} \sim GD_{n,m}$ の書き込みが終了すると、メモリ4は、駆動制御回路20から供給された読出信号に従ってその書き込まれたデータを以下の如く読み出す。すなわち、メモリ4は、画素駆動データ $GD_{1,1} \sim GD_{n,m}$ 各々を各ビット桁(第1～第14ビット)毎に1表示ライン分ずつ読み出し、これを画素駆動データビット $DB1 \sim DB(m)$ としてアドレスドライバ6に供給する。つまり、メモリ4は、後述するサブフィールド $SF1$ では画素駆動データ $GD_{1,1} \sim GD_{n,m}$ 各々の第1ビットのみを1表示ライン分ずつ読み出し、これを画素駆動データビット $DB1 \sim DB(m)$ としてアドレスドライバ6に供給する。又、サブフィールド $SF2$ では、メモリ4は、画素駆動データ $GD_{1,1} \sim GD_{n,m}$ 各々の第2ビットのみを1表示ライン分ずつ読み出し、これを画素駆動データビット $DB1 \sim DB(m)$ としてアドレスドライバ6に供給する。又、サブフィールド $SF3$ では、メモリ4は、画素駆動データ $GD_{1,1} \sim GD_{n,m}$ 各々の第3ビットのみを1表示ライン分ずつ読み出し、これを画素駆動データビット $DB1 \sim DB(m)$ としてアドレスドライバ6に供給する。そして、サブフィールド $SF4$ 以降のサブフィールドにおいても同様に、メモリ4は、画素駆動データ $GD_{1,1} \sim GD_{n,m}$ 各々におけ

る各サブフィールドに対応したビットのみを1表示ライン分ずつ読み出し、これを画素駆動データビットDB₁～DB_(m)としてアドレスドライバ6に供給するのである。

【0016】

アドレスドライバ6は、メモリ4から供給された画素駆動データビットDB₁～DB_(m)に応じて1表示ライン分のm個の画素データパルスが発生し、夫々、列電極D₁～D_mの各々に印加する。

図6は、かかるアドレスドライバ6の内部構成を示す図である。

図6に示す如く、アドレスドライバ6は、共振パルス電源回路21a～21dと、画素データパルス発生回路22a～22dから構成される。

【0017】

共振パルス電源回路21a～21dの各々は、直流電源B₁、コンデンサC₁、スイッチング素子SW₁～SW₃、コイルL₁及びL₂、ダイオードDD₁及びDD₂からなり、互いに同一の回路構成を有する。コンデンサC₁は、その一端がPDP10の接地電位としてのPDP接地電位V_sに接地されている。スイッチング素子S₁は、上記駆動制御回路20から論理レベル「0」のスイッチング信号SW₁が供給されている間はオフ状態にある。一方、スイッチング信号SW₁の論理レベルが「1」である場合には、スイッチング素子S₁はオン状態となり、上記コンデンサC₁の他端に生じた電位をコイルL₁及びダイオードDD₁を介して電源ライン2上に印加する。スイッチング素子S₂は、駆動制御回路20から論理レベル「0」のスイッチング信号SW₂が供給されている間はオフ状態にある。一方、スイッチング信号SW₂が論理レベル「1」である場合には、スイッチング素子S₂はオン状態となり、電源ライン2上の電位をコイルL₂及びダイオードDD₂を介してコンデンサC₁の他端に印加する。この際、コンデンサC₁は、電源ライン2上の電位によって充電される。スイッチング素子S₃は、駆動制御回路20から論理レベル「0」のスイッチング信号SW₃が供給されている間はオフ状態にある。一方、スイッチング信号SW₃が論理レベル「1」である場合には、スイッチング素子S₃はオン状態となり、直流電源B₁が発生した直流の電源電位V_aを電源ライン2上に印加する。

【 0 0 1 8 】

共振パルス電源回路 2 1 a ~ 2 1 d の各々は、図 7 の駆動行程 G 1 ~ G 3 にて示されるシーケンスにてスイッチング素子 S 1 ~ S 3 を駆動すべく駆動制御回路 2 0 から供給されたスイッチング信号 S W 1 ~ S W 3 に応じて、所定振幅を有する共振パルス電源電位を発生し、これを電源ライン 2 a ~ 2 1 d に印加する。

先ず、図 7 に示す駆動行程 G 1 では、スイッチング素子 S 1 ~ S 3 の内のスイッチング素子 S 1 のみがオン状態となり、コンデンサ C 1 に蓄えられていた電荷が放電する。この際、画素データパルス発生回路 2 2 のスイッチング素子 S Z 1 (後述する) がオン状態にあると、上記放電に伴う放電電流は図 6 に示す如きスイッチング素子 S 1、コイル L 1、及びダイオード D D 1 からなる放電電流路、電源ライン 2、及びスイッチング素子 S Z 1 を介して P D P 1 0 の列電極 D に流れ込む。かかる放電電流により、列電極 D に寄生する負荷容量 C_0 が充電され、この負荷容量 C_0 内に電荷の蓄積が為される。そして、コイル L 1 及び負荷容量 C_0 による共振作用により、電源ライン 2 上の電位が徐々に上昇し、コンデンサ C 1 の一端の電位 V c の 2 倍の電位を有する電位 V a に到達する。この際、電源ライン 2 上での緩やかな電位上昇部分が、上記共振パルス電源電位のフロントエッジ部となる。

【 0 0 1 9 】

次に、駆動行程 G 2 では、スイッチング素子 S 1 ~ S 3 の内のスイッチング素子 S 3 のみがオン状態となり、直流電源 B 1 による直流の電位 V a がスイッチング素子 S 3 を介して電源ライン 2 上に印加される。この際、画素データパルス発生回路 2 2 のスイッチング素子 S Z 1 (後述する) がオン状態にあると、直流の電位 V a に基づく電流がスイッチング素子 S Z 1 を介して P D P 1 0 の列電極 D に流れ、この列電極 D に寄生する負荷容量 C_0 が充電される。かかる充電により、負荷容量 C_0 には電荷の蓄積が為される。

【 0 0 2 0 】

そして、駆動行程 G 3 では、スイッチング素子 S 1 ~ S 3 の内のスイッチング素子 S 2 のみがオン状態となり、列電極 D に寄生する負荷容量 C_0 が放電を開始する。かかる放電により、列電極 D、スイッチング素子 S Z 1、電源ライン 2、

更に、コイル L_2 、ダイオード DD_2 及びスイッチング素子 S_2 からなる充電電流路を介してコンデンサ C_1 に電流が流れ込む。すなわち、 PDP_{10} の負荷容量 C_0 に蓄積されていた電荷が共振パルス電源回路 21 のコンデンサ C_1 に回収されるのである。このとき、コイル L_2 及び負荷容量 C_0 で決まる時定数により、電源ライン 2 上の電位は徐々に低下する。この際、電源ライン 2 上での緩やかな電位下降部分が、上記共振パルス電源電位のリアエッジ部となる。

【0021】

共振パルス電源回路 $21a \sim 21d$ の各々は、上述した如き駆動シーケンス($G_1 \sim G_3$)の実行によって生成された共振パルス電源電位を電源ライン $2a \sim 2d$ を介して画素データパルス発生回路 $22a \sim 22d$ の各々に供給する。

画素データパルス発生回路 $22a$ は、メモリ 4 から供給された画素駆動データビット $DB_1 \sim DB(i)$ に応じて、夫々独立してオン・オフ制御されるスイッチング素子 $SZ_{1_1} \sim SZ_{1_i}$ 及び $SZ_{0_1} \sim SZ_{0_i}$ からなる。スイッチング素子 $SZ_{1_1} \sim SZ_{1_i}$ の各々は、夫々に供給された画素駆動データビット $DB_1 \sim DB(i)$ が論理レベル「1」である場合にオン状態となり、電源ライン $2a$ を介して共振パルス電源回路 $21a$ から供給された上記共振パルス電源電位を PDP_{10} の列電極 $D_1 \sim D_i$ に印加する。スイッチング素子 $SZ_{0_1} \sim SZ_{0_i}$ の各々は、画素駆動データビット $DB_1 \sim DB(i)$ が論理レベル「0」である場合にオン状態となり、列電極 $D_1 \sim D_i$ 上の電位を強制的に PDP 接地電位 V_s にする。かかる動作により、画素データパルス発生回路 $22a$ は、画素駆動データビット $DB_1 \sim DB(i)$ が論理レベル「1」である場合に限り高電圧の画素データパルスを発生して列電極 $D_1 \sim D_i$ に夫々印加する。尚、画素駆動データビット $DB_1 \sim DB(i)$ が論理レベル「0」である場合には画素データパルス発生回路 $22a$ は、低電位(0ボルト)を夫々列電極 $D_1 \sim D_i$ に印加する。

【0022】

画素データパルス発生回路 $22b$ は、メモリ 4 から供給された画素駆動データビット $DB(i+1) \sim DB(j)$ に応じて夫々独立してオン・オフ制御されるスイッチング素子 $SZ_{1(i+1)} \sim SZ_{1_j}$ 及び $SZ_{0(i+1)} \sim SZ_{0_j}$ からなる。スイッチング素子 $SZ_{1(i+1)} \sim SZ_{1_j}$ の各々は、夫々に供給された画素駆動データビット

$DB(i+1) \sim DB(j)$ が論理レベル「1」である場合にオン状態となり、電源ライン 2 b を介して共振パルス電源回路 2 1 b から供給された共振パルス電源電位を PDP 10 の列電極 $D_{(i+1)} \sim D_j$ に印加する。スイッチング素子 $SZ 0_{(i+1)} \sim SZ 0_j$ の各々は、上記画素駆動データビット $DB(i+1) \sim DB(j)$ が論理レベル「0」である場合にオン状態となり、列電極 $D_{(i+1)} \sim D_j$ 上の電位を強制的に PDP 接地電位 V_s にする。かかる動作により、画素データパルス発生回路 2 2 b は、画素駆動データビット $DB(i+1) \sim DB(j)$ が論理レベル「1」である場合に限り高電圧の画素データパルスを発生して列電極 $D_{(i+1)} \sim D_j$ に夫々印加する。尚、画素駆動データビット $DB(i+1) \sim DB(j)$ が論理レベル「0」である場合には画素データパルス発生回路 2 2 b は、低電位(0 ボルト)を夫々列電極 $D_{(i+1)} \sim D_j$ に印加する。

【 0 0 2 3 】

画素データパルス発生回路 2 2 c は、メモリ 4 から供給された画素駆動データビット $DB(j+1) \sim DB(k)$ に応じて夫々独立してオン・オフ制御されるスイッチング素子 $SZ 1_{(j+1)} \sim SZ 1_k$ 及び $SZ 0_{(j+1)} \sim SZ 0_k$ からなる。スイッチング素子 $SZ 1_{(j+1)} \sim SZ 1_k$ の各々は、夫々に供給された画素駆動データビット $DB(j+1) \sim DB(k)$ が論理レベル「1」である場合にオン状態となり、電源ライン 2 c を介して共振パルス電源回路 2 1 c から供給された共振パルス電源電位を PDP 10 の列電極 $D_{(j+1)} \sim D_k$ に印加する。スイッチング素子 $SZ 0_{(j+1)} \sim SZ 0_k$ の各々は、画素駆動データビット $DB(j+1) \sim DB(k)$ が論理レベル「0」である場合にオン状態となり、列電極 $D_{(j+1)} \sim D_k$ 上の電位を強制的に PDP 接地電位 V_s にする。かかる動作により、画素データパルス発生回路 2 2 c は、画素駆動データビット $DB(j+1) \sim DB(k)$ が論理レベル「1」である場合に限り高電圧の画素データパルスを発生して列電極 $D_{(j+1)} \sim D_k$ に夫々印加する。尚、画素駆動データビット $DB(j+1) \sim DB(k)$ が論理レベル「0」である場合には画素データパルス発生回路 2 2 c は、低電位(0 ボルト)を夫々列電極 $D_{(j+1)} \sim D_k$ に印加する。

【 0 0 2 4 】

画素データパルス発生回路 2 2 d は、メモリ 4 から供給された画素駆動データ

ビット $DB(k+1) \sim DB(m)$ に応じて夫々独立してオン・オフ制御されるスイッチング素子 $SZ1_{(k+1)} \sim SZ1_m$ 及び $SZ0_{(k+1)} \sim SZ0_m$ からなる。スイッチング素子 $SZ1_{(k+1)} \sim SZ1_m$ の各々は、夫々に供給された画素駆動データビット $DB(k+1) \sim DB(m)$ が論理レベル「1」である場合にオン状態となり、電源ライン 2 d を介して共振パルス電源回路 2 1 d から供給された共振パルス電源電位を PDP 10 の列電極 $D_{(k+1)} \sim D_m$ に印加する。スイッチング素子 $SZ0_{(k+1)} \sim SZ0_m$ の各々は、画素駆動データビット $DB(k+1) \sim DB(m)$ が論理レベル「0」である場合にオン状態となり、列電極 $D_{(k+1)} \sim D_m$ 上の電位を強制的に PDP 接地電位 V_s にする。かかる動作により、画素データパルス発生回路 2 2 d は、画素駆動データビット $DB(k+1) \sim DB(m)$ が論理レベル「1」である場合に限り高電圧の画素データパルスを発生して列電極 $D_{(k+1)} \sim D_m$ に夫々印加する。尚、画素駆動データビット $DB(k+1) \sim DB(m)$ が論理レベル「0」である場合には画素データパルス発生回路 2 2 d は、低電位(0ボルト)を夫々列電極 $D_{(k+1)} \sim D_m$ に印加する。

【0025】

尚、上記共振パルス電源回路 2 1 a \sim 2 1 d 及び画素データパルス発生回路 2 2 a \sim 2 2 d は図 8 に示す如き形態にて PDP 10 に実装されている。

共振パルス電源回路 2 1 a が構築されている回路基板 K 1、共振パルス電源回路 2 1 b が構築されている回路基板 K 2、共振パルス電源回路 2 1 c が構築されている回路基板 K 3、及び共振パルス電源回路 2 1 d が構築されている回路基板 K 4 の各々が放熱板 1 0 1 の一方の面に固着されている。尚、放熱板 1 0 1 の他方の面には、列電極 $D_1 \sim D_m$ が配列されている背面基板 1 0 0 が固着されている。回路基板 K 1 と背面基板 1 0 0 とはフレキシブルケーブル FL 1 にて接続されており、このフレキシブルケーブル FL 1 上に画素データパルス発生回路 2 2 a を IC チップ化したドライバモジュール DM 1 が設けられている。尚、フレキシブルケーブル FL 1 内には図 6 に示す電源ライン 2 a に相当する電源ライン、並びに、画素データパルス発生回路 2 2 a が発生した画素データパルスを列電極 $D_1 \sim D_i$ の各々に伝送する為の i 個の伝送ラインが設けられている。又、回路基板 K 2 と背面基板 1 0 0 とはフレキシブルケーブル FL 2 にて接続されており、こ

のフレキシブルケーブル F L 2 上に画素データパルス発生回路 2 2 b を I C チップ化したドライバモジュール D M 2 が設けられている。尚、フレキシブルケーブル F L 2 内には図 6 に示す電源ライン 2 b に相当する電源ライン、並びに、画素データパルス発生回路 2 2 b が発生した画素データパルスを列電極 $D_{(i+1)} \sim D_j$ の各々に伝送する為の $(j-i)$ 個の伝送ラインが設けられている。又、回路基板 K 3 と背面基板 1 0 0 とはフレキシブルケーブル F L 3 にて接続されており、このフレキシブルケーブル F L 3 上に画素データパルス発生回路 2 2 c を I C チップ化したドライバモジュール D M 3 が設けられている。尚、フレキシブルケーブル F L 3 内には図 6 に示す電源ライン 2 c に相当する電源ライン、並びに、画素データパルス発生回路 2 2 c が発生した画素データパルスを列電極 $D_{(j+1)} \sim D_k$ の各々に伝送する為の $(k-j)$ 個の伝送ラインが設けられている。又、回路基板 K 4 と背面基板 1 0 0 とはフレキシブルケーブル F L 4 にて接続されており、このフレキシブルケーブル F L 4 上に画素データパルス発生回路 2 2 d を I C チップ化したドライバモジュール D M 4 が設けられている。尚、フレキシブルケーブル F L 4 内には図 6 に示す電源ライン 2 d に相当する電源ライン、並びに、画素データパルス発生回路 2 2 d が発生した画素データパルスを列電極 $D_{(k+1)} \sim D_m$ の各々に伝送する為の $(m-k)$ 個の伝送ラインが設けられている。

【 0 0 2 6 】

アドレスドライバ電力予測回路 5 は、上記画素駆動データビット D B に基づいてアドレスドライバ 6 の画素データパルス発生回路 2 2 a ~ 2 2 d の各々において消費されるであろう予測消費電力を測定し、この予測消費電力を表す予測アドレス電力値 W P を駆動制御回路 2 0 に供給する。

例えば、アドレスドライバ電力予測回路 5 は、先ず、1 画面分 (n 行、 m 列) の画素駆動データビット $D B_{1,1} \sim D B_{n,m}$ 各々を図 9 に示す如き n 行、 m 列のデータビット行列 $D B_{(n,m)}$ と捉える。そして、アドレスドライバ電力予測回路 5 は、データビット行列 $D B_{(n,m)}$ における各行毎に、論理レベル 1 となるデータビット D B の総数を以下の如く求めてパルス数合計 P_N を得る。

【 0 0 2 7 】

m

$$P_N = \sum_{M=1} DB_{(N, M)}$$

$$N : 1 \sim n$$

又、アドレスドライバ電力予測回路 5 は、上記データビット行列 $DB_{(n, m)}$ における各行毎に、互いに横方向に隣接する 2 つのデータビット DB 同士が互いに異なる論理レベルとなる総数を以下の如く求めて横変化合計 Q_N を得る。

【 0 0 2 8 】

m

$$Q_N = \sum_{M=1} |DB_{(N, M)} - DB_{(N, M+1)}|$$

$$N : 1 \sim n$$

又、アドレスドライバ電力予測回路 5 は、データビット行列 $DB_{(n, m)}$ において、互いに縦方向に隣接する 2 つのデータビット DB 同士が互いに異なる論理レベルとなる総数を以下の如く各行毎に求めて縦変化合計 R_N を得る。

【 0 0 2 9 】

m

$$R_N = \sum_{M=1} |DB_{(N, M)} - DB_{(N+1, M)}|$$

$$N : 1 \sim n$$

又、アドレスドライバ電力予測回路 5 は、データビット行列 $DB_{(n, m)}$ において、互いに隣接する縦方向及び横方向の双方においてデータビット DB 同士が互いに異なる論理レベルとなる総数を以下の如く各行毎に求めて縦横変化合計 S_N を得る。

【 0 0 3 0 】

m

$$S_N = \sum_{M=1} ||DB_{(N, M)} - DB_{(N+1, M)}| - |DB_{(N, M+1)} - DB_{(N+1, M+1)}||$$

$$N : 1 \sim n$$

次に、アドレスドライバ電力予測回路 5 は、上記パルス数合計 P_N 、横変化合

計 Q_N 、縦変化合計 R_N 、及び縦横変化合計 S_N を用いた下記演算により、直流駆動電力パラメータ A_N 、及び共振駆動電力パラメータ B_N を夫々求める。

【 0 0 3 1 】

$$A_N = (C_{AS} \cdot R_N + C_{AA} \cdot S_N) / 2$$

$$B_N = C_K + [C_{AS}(P_N + P_{N+1}) + C_{AA}(Q_N + Q_{N+1})] / 2$$

$N : 1 \sim n$

C_{AS} : 列電極及び行電極間容量

C_{AA} : 列電極間容量

C_K : アドレスドライバ 6 の電源及び GND 間容量

尚、共振駆動電力パラメータ B_N は、図 6 に示す如きアドレスドライバ 6 内の電源ライン 2 に共振パルス電源電位が印加されている時に画素データパルス発生回路 2 2 において消費される消費電力を表すものである。一方、直流駆動電力パラメータ A_N は、上記共振パルス電源電位が直流化した際に画素データパルス発生回路 2 2 において消費される消費電力を表すものである。

【 0 0 3 2 】

アドレスドライバ電力予測回路 5 は、上記直流駆動電力パラメータ A_N 及び共振駆動電力パラメータ B_N の二乗平均に基づく下記演算により 1 フィールド (SF 1 ~ SF 1 4) あたりの予測アドレス電力値 WP を求める。

$$WP = B \cdot V^2 \cdot (F / 10^{14}) \times \sum_{SF=1}^{14} \cdot \sqrt{\sum_{N=1}^n A_N \times \sum_{N=1}^n B_N}$$

B : 共振係数

V : 画素データパルス DP の電圧

F : フィールド周波数

SF : サブフィールド

駆動制御回路 2 0 は、上記予測アドレス電力値 WP にて示されるアドレスドライバ 6 の予測消費電力が所定電力よりも小なる場合には論理レベル「0」、大なる場合には論理レベル「1」のアドレス電力抑制信号 APC を上記データ変換回路 3 0 のセクタ 3 6 に供給する。

【0033】

更に、駆動制御回路20は、図10に示される発光駆動フォーマットに従ってPDP10を駆動制御すべき各種タイミング信号をアドレスドライバ6、第1サスティンドライバ7及び第2サスティンドライバ8各々に供給する。

図10に示す発光駆動フォーマットでは、1フィールドの表示期間を14個のサブフィールドSF1～SF14に分割してPDP10を駆動する。この際、各サブフィールド内ではアドレス行程Wc及び発光維持行程Icを実施し、先頭のサブフィールドSF1においてのみで一斉リセット行程Rcを実行し、最後尾のサブフィールドSF14においてのみで消去行程Eを実施する。

【0034】

図11は、上記一斉リセット行程Rc、アドレス行程Wc、発光維持行程Ic及び消去行程Eなる各行程において、上記アドレスドライバ6、第1サスティンドライバ7及び第2サスティンドライバ8各々がPDP10に印加する各種駆動パルスと、その印加タイミングを示す図である。

先ず、サブフィールドSF1のみで実施される一斉リセット行程Rcでは、第1サスティンドライバ7及び第2サスティンドライバ8各々が、図10に示す如き波形を有するリセットパルス RP_x 及び RP_y をPDP10の行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ に一斉に印加する。これらリセットパルス RP_x 及び RP_y の一斉印加により、PDP10中の全ての放電セルが一斉にリセット放電する。そして、かかるリセット放電の直後、各放電セル内には一様に所定量の壁電荷が形成され、全ての放電セルが点灯セル状態に初期化される。

【0035】

次に、各サブフィールド内のアドレス行程Wcでは、アドレスドライバ6が、メモリ4から供給された画素駆動データビットDB1～DB(m)に応じて1表示ライン分の画素データパルスDPを発生し、列電極 $D_1 \sim D_m$ の各々に印加する。例えば、サブフィールドSF1のアドレス行程Wcでは、画素駆動データ $GD_{1,1} \sim GD_{n,m}$ 各々の第1ビットのみが1表示ライン分ずつ、画素駆動データビットDB1～DB(m)として供給される。よって、アドレスドライバ6は、画素駆動データ $GD_{1,1} \sim GD_{n,m}$ 各々の第1ビットからなる画素駆動データビットDBを

1 表示ライン分ずつ、そのデータビットの論理レベルに対応した電圧を有する画素データパルス DP に変換して列電極 $D_1 \sim D_m$ の各々に印加する。すなわち、サブフィールド $SF1$ のアドレス行程 Wc では、アドレスドライバ 6 は、画素駆動データ $GD_{1,1} \sim GD_{n,m}$ 各々の第 1 ビットに基づく、第 1 表示ライン～第 n 表示ライン各々に対応した画素データパルス群 $DP1$ 、 $DP2$ 、 $DP3$ 、 \dots 、 $DP(n)$ を図 1 1 に示す如く順次、列電極 $D_1 \sim D_m$ に印加して行く。又、サブフィールド $SF2$ のアドレス行程 Wc では、アドレスドライバ 6 は、画素駆動データ $GD_{1,1} \sim GD_{n,m}$ 各々の第 2 ビットに基づく、第 1 表示ライン～第 n 表示ライン各々に対応した画素データパルス群 $DP1$ 、 $DP2$ 、 $DP3$ 、 \dots 、 $DP(n)$ を図 1 1 に示す如く順次、列電極 $D_1 \sim D_m$ に印加して行くのである。

【 0 0 3 6 】

更に、各アドレス行程 Wc では、第 2 サスティンドライバ 8 が、上述した如き画素データパルス群 $DP1 \sim DP(n)$ 各々の印加タイミングと同一タイミングにて、図 1 1 に示す如き走査パルス SP を発生してこれを行電極 $Y_1 \sim Y_n$ へと順次印加して行く。この際、走査パルス SP が印加された行電極と、高電圧の画素データパルスが印加された列電極との交差部の放電セルにのみ選択的に放電（選択消去放電）が生じ、その放電セル内に残存していた壁電荷が消去される。ここで、上記選択消去放電が生起されて壁電荷を失った放電セルは消灯セル状態に設定される。一方、上記選択消去放電の生起されなかった放電セル内には、上記一斉リセット行程 Rc において生成された壁電荷が残留したままとなるので、この放電セルは点灯セル状態に設定されることになる。

【 0 0 3 7 】

すなわち、アドレス行程 Wc の実行により、各放電セルは、後述する発光維持行程 Ic において放電（維持放電）することが可能な点灯セル状態、及びこの発光維持行程 Ic において放電しない消灯セル状態のいずれか一方に設定されるのである。

次に、各サブフィールド内において実施される発光維持行程 Ic では、第 1 サスティンドライバ 7 及び第 2 サスティンドライバ 8 が行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ に対して図 1 1 に示されるように交互に維持パルス IP_X 及び IP_Y を繰り返

し印加する。尚、かかる発光維持行程 I c において印加する維持パルス I P の回数は、図 1 0 に示す如くサブフィールド毎に異なる。

【 0 0 3 8 】

すなわち、サブフィールド S F 1 での発光維持行程 I c における印加回数を「 1 」とした場合、

S F 1 : 4
 S F 2 : 1 2
 S F 3 : 2 0
 S F 4 : 3 2
 S F 5 : 4 0
 S F 6 : 5 2
 S F 7 : 6 4
 S F 8 : 7 6
 S F 9 : 8 8
 S F 10 : 1 0 0
 S F 11 : 1 1 2
 S F 12 : 1 2 8
 S F 13 : 1 4 0
 S F 14 : 1 5 6

である。

【 0 0 3 9 】

そして、壁電荷が残留したままとなっている放電セル、すなわち上記アドレス行程 W c において点灯セル状態に設定された放電セルのみが、上記維持パルス I P_X 及び I P_Y が印加される度に維持放電し、各サブフィールド毎に割り当てられた放電回数分だけ、その維持放電に伴う発光状態を維持する。ここで、各放電セルがアドレス行程 W c において点灯セル状態に設定されるか否かは、入力映像信号に基づいて生成された上記画素駆動データ G D によって決まる。ここで、1 4 ビットの画素駆動データ G D として取り得るパターンは、図 4 又は図 5 に示されるが如き 1 5 パターンである。

【 0 0 4 0 】

図 4 及び図 5 に示す画素駆動データ G D は、最低輝度を表す“ 0 0 0 0 ”の多階調化画素データ P D_Sに対応したものを除き、その第 1 ビットが論理レベル「 0 」である。そして、第 2 ビット以降のビットが、表現すべき輝度レベルに応じた分だけ連続して論理レベル「 0 」となる。この際、図 5 に示す画素駆動データ G D では、最大輝度を表す“ 1 1 1 0 ”の多階調化画素データ P D_Sに対応したものを除き、上記論理レベル「 0 」の連続後、次のビット桁のみが論理レベル「 1 」となり、それ以降のビット各々が再び連続して論理レベル「 0 」となる。一方、図 4 に示す画素駆動データ G D では、上記論理レベル「 0 」の連続後、次のビット桁以降のビット各々が連続して論理レベル「 1 」となる。

【 0 0 4 1 】

図 4 及び図 5 に示す画素駆動データ G D を用いた駆動によれば、図 4 及び図 5 中の黒丸印が付されているサブフィールドのアドレス行程 W c のみで選択消去放電が生起される。つまり、一斉リセット行程 R c にて全放電セル内に形成された壁電荷が上記選択消去放電の生起されるまで残留し、その間に存在するサブフィールド各々の発光維持行程 I c において連続して維持放電が生起されるのである。そして、図 4 及び図 5 中の黒丸印が付されているサブフィールドにおいて選択消去放電が生起されると、放電セル内に残留していた壁電荷が消滅してこの放電セルは消灯セル状態に推移し、この状態を最後尾のサブフィールド S F 1 4 まで維持する。よって、各放電セルは 1 フィールド期間内において最初に選択消去放電が生起されるアドレス行程 W c (黒丸印にて示す)までの間、点灯セル状態に保持され、その間に存在する各サブフィールドの発光維持行程 I c (白丸印にて示す)で連続して発光する。

【 0 0 4 2 】

従って、図 4 又は図 5 に示されるが如き 1 5 パターン分の画素駆動データ G D によれば、視覚的な発光輝度比が夫々、

{ 0, 4, 16, 36, 68, 108, 160, 224, 300, 388, 488, 600, 728, 868, 1024 }

となる 1 5 段階分の間輝度表示が為されるのである。

ここで、図 5 に示す画素駆動データ G D_bを用いた駆動によれば、 1 フィールド

ド期間内において生起される選択消去放電の回数は、多くても1回である。これは、1フィールド期間内において壁電荷を形成させることができるのはサブフィールドSF1の一斉リセット行程Rcだけなので、選択消去放電を1回だけ生起させておけば、それ以降、放電セルを消灯セル状態に保持させておくことが可能となるからである。ところが、選択消去放電が正しく生起されなかった場合には、放電セル内に壁電荷が残留してしまうので、それ以降の発光維持行程Icにおいて不正な維持放電が生起されてしまう。そこで、図4に示す画素駆動データGD_aを用いた駆動では、図4中の白丸印に示されるが如き連続発光の後のサブフィールド各々のアドレス行程Wcにおいて、黒丸印に示されるように連続して選択消去放電を生起させるようにしたのである。かかる駆動によれば、たとえ1回目の選択消去放電が誤放電となって放電セル内の壁電荷を全て消滅させることが出来なくとも、2回目以降の選択消去放電により壁電荷を消滅させることが可能となるので、誤放電による表示劣化を抑制できる。

【0043】

更に、駆動制御回路20は、図4に示す駆動及び図5に示す駆動の内から、上記アドレスドライバ電力予測回路5にて測定されたアドレスドライバ6の消費電力を表す予測アドレス電力値WPに応じた方を選択し、これを実行するようにしている。

すなわち、予測アドレス電力値WPにて示されるアドレスドライバ6の予測消費電力が所定電力よりも小なる場合には、駆動制御回路20は、論理レベル「0」のアドレス電力抑制信号APCを上記データ変換回路30のセレクタ36に供給する。すると、図4に示す如き画素駆動データGD_aがメモリ4に供給され、この画素駆動データGD_aに基づいて図10及び図11に従った駆動が実施される。かかる駆動によれば、図4の黒丸印に示す如く、1フィールド表示期間内において各放電セルに対して選択消去放電が繰り返して生起されるので、放電セル内の壁電荷を確実に消滅させることが可能となり、誤放電による表示劣化が抑制される。

【0044】

一方、予測アドレス電力値WPにて示されるアドレスドライバ6の予測消費電

力が所定電力よりも大なる場合には、駆動制御回路 20 は、論理レベル「1」のアドレス電力抑制信号 APC を上記データ変換回路 30 のセクタ 36 に供給する。すると、図 5 に示す如き画素駆動データ GD_b がメモリ 4 に供給され、この画素駆動データ GD_b に基づいて図 10 及び図 11 に従った駆動が実施される。かかる駆動によれば、図 5 の黒丸印に示す如く、1 フィールド表示期間内において各放電セルに対して生起させるべき選択消去放電の回数が 1 回以下に制限されるので、この選択消去放電に伴う電力消費が抑制される。つまり、画素データパルス発生回路 22a ~ 22d の内、電力損失が大となる画素データパルス発生回路 22 のみが、駆動対象とする列電極 D に対して 1 フィールド期間内に印加すべき高電圧の画素データパルスの回数が減る。よって、高電圧の画素データパルスの印加に応じて生起される選択消去放電の回数が減少し、その発熱が大幅に抑制される。これにより、図 8 に示す如く、画素データパルス発生回路 22 を分割して IC チップ化したドライバモジュール DM の各々をフレキシブルケーブル FL 上に実装することが可能となり、大幅なコストダウンを図ることができる。

【 0 0 4 5 】

以上の如く、図 1 に示すプラズマディスプレイ装置においては、入力映像信号に対応した 1 フィールド分の画素データ毎に、その画素データに基づき画素データパルス発生回路 22 において消費されるであろう予測消費電力を求める。そして、かかる予測消費電力に基づき、1 フィールド表示期間内において印加すべき高電圧の画素データパルスの印加回数を放電セル毎に変更するようにしている。この際、予測消費電力が大なる場合には、1 フィールド表示期間内において印加すべき高電圧の画素データパルスの印加回数を各放電セル毎に減らすことにより選択消去放電の回数を減らして、アドレスドライバ 6 の電力消費を抑えるのである。

【 0 0 4 6 】

ここで、アドレスドライバ 6 の消費電力は電源ライン 2a ~ 2d 上に印加される共振パルス電源電位に伴って流れる電流量によって決定する。この共振パルス電源電位は、列電極 D に印加される画素データパルス群 DP1、DP2、DP3、……、DP(n) による画素データパルスの印加パターンに応じて、例えば図 7

(a)～図7(c)の如く変動する。

【0047】

図7(a)は、PDP10の第*i*列(*i*は1～*m*)における第1表示ライン～第7表示ライン各々に対応した画素データビットDBのビット系列が、

[1、0、1、0、1、0、1]

なる場合に列電極Dに印加される画素データパルスDPと、電源ライン2上での共振パルス電源電位の推移を表す図である。

【0048】

又、図7(b)は、PDP10の第*i*列(*i*は1～*m*)における第1表示ライン～第7表示ライン各々に対応した画素データビットDBのビット系列が、

[1、1、1、1、1、1、1]

なる場合に列電極Dに印加される画素データパルスDPと、電源ライン2上での共振パルス電源電位の推移を表す図である。

【0049】

又、図7(c)は、PDP10の第*i*列(*i*は1～*m*)における第1表示ライン～第7表示ライン各々に対応した画素データビットDBのビット系列が、

[0、0、0、0、0、0、0]

なる場合に列電極Dに印加される画素データパルスDPと、電源ライン2上での共振パルス電源電位の推移を表す図である。

【0050】

先ず、画素データビットDBのビット系列が[1、0、1、0、1、0、1]の如く、隣接する表示ライン毎に反転している場合、画素データパルス発生回路22のスイッチング素子SZ1及びSZ0各々は、図7(a)に示すようにオン状態及びオフ状態に交互に推移する。第1サイクルCYC1～第7サイクルCYC7各々の駆動行程G1では、スイッチング素子S1～S3の内のスイッチング素子S1のみがオン状態となり、コンデンサC1に蓄えられていた電荷が放電される。尚、図7(a)では、第1サイクルCYC1、第3サイクルCYC3、第5サイクルCYC5、第7サイクルCYC7各々においてスイッチング素子SZ1がオン状態になる。従って、上述した如き奇数番目のサイクルCYCでは、上記放

電に伴う放電電流は、スイッチング素子 S_1 、コイル L_1 、ダイオード DD_1 、電源ライン 2、及びスイッチング素子 SZ_1 を介して PDP 10 の列電極 D_i に流れ込む。すると、列電極 D_i に寄生する負荷容量 C_0 が充電され、負荷容量 C_0 内に電荷の蓄積が為される。更に、上記コンデンサ C_1 の放電に伴って電源ライン 2 上の電位は、コイル L_1 及び負荷容量 C_0 による共振作用により徐々に上昇し、図 7 (a) に示す如くコンデンサの一端の電位 V_c の 2 倍の電位を有する電位 V_a に到達する。この際、電源ライン 2 上での緩やかな電位上昇部分が上記共振パルス電源電位のフロントエッジ部となる。尚、第 1 サイクル CYC 1、第 3 サイクル CYC 3、第 5 サイクル CYC 5、第 7 サイクル CYC 7 では、上述した如き共振パルス電源電位のフロントエッジ部がそのまま、図 7 (a) に示す如く列電極 D_i に印加される画素データパルス DP_{1i} 、 DP_{3i} 、 DP_{5i} 、 DP_{7i} のフロントエッジ部となる。又、第 1 サイクル CYC 1 ~ 第 7 サイクル CYC 7 各々の駆動行程 G 2 では、スイッチング素子 $S_1 \sim S_3$ の内のスイッチング素子 S_3 のみがオン状態となるので、直流電源 B_1 による直流の電位 V_a が、スイッチング素子 S_3 を介して電源ライン 2 上に印加される。この際、上記電位 V_a が、上記共振パルス電源電位の最大電位部分となる。尚、第 1 サイクル CYC 1、第 3 サイクル CYC 3、第 5 サイクル CYC 5、第 7 サイクル CYC 7 各々では、この共振パルス電源電位の最大電位部分(電位 V_a) がそのまま、図 7 (a) に示す如く列電極 D_i 上に印加される画素データパルス DP_{1i} 、 DP_{3i} 、 DP_{5i} 、 DP_{7i} の最大電位部分となる。この際、PDP 10 の列電極 D_i には電流が流れ、この列電極 D_i に寄生する負荷容量 C_0 が充電されて電荷の蓄積が為される。又、第 1 サイクル CYC 1 ~ 第 7 サイクル CYC 7 各々の駆動行程 G 3 では、スイッチング素子 $S_1 \sim S_3$ の内のスイッチング素子 S_2 のみがオン状態となり、PDP 10 の負荷容量 C_0 が放電を開始する。かかる放電により、列電極 D_i 、スイッチング素子 SZ_1 、電源ライン 2、コイル L_2 、ダイオード DD_2 、及びスイッチング素子 S_2 を介してコンデンサ C_1 に電流が流れ込む。すなわち、PDP 10 の負荷容量 C_0 内に蓄積された電荷が、共振パルス電源回路 21 内に形成されているコンデンサ C_1 に回収されて行く。このとき、コイル L_2 及び負荷容量 C_0 で決まる時定数により、電源ライン 2 上の電位は図 7 (a) に示す如く徐々に低下する。この

際、上述した如き電源ライン 2 上での緩やかな電位下降部分が、上記共振パルス電源電位のリアエッジ部となる。尚、第 1 サイクル CYC 1、第 3 サイクル CYC 3、第 5 サイクル CYC 5、第 7 サイクル CYC 7 各々では、上述した如き共振パルス電源電位のリアエッジ部がそのまま図 7 (a) に示す如く列電極 D_i 上に印加される画素データパルス DP_{1i} 、 DP_{3i} 、 DP_{5i} 、 DP_{7i} のリアエッジ部となる。ここで、図 7 (a) においては、第 2 サイクル CYC 2、第 4 サイクル CYC 4、及び第 6 サイクル CYC 6 の各々では、スイッチング素子 SZ 1 がオフ状態にある。よって、第 2 表示ライン、第 4 表示ライン、及び第 6 表示ライン各々に対応した画素データパルス DP_{2i} 、 DP_{4i} 、 DP_{6i} としては、低電圧 (0 ボルト) のものが列電極 D_i に印加されることになる。更に、これら偶数のサイクル CYC では、スイッチング素子 SZ 0 がオン状態にあるので、PDP 10 の負荷容量 C_0 に残存していた電荷が列電極 D_i 及びスイッチング素子 SZ 0 なる電流路を介して全て回収される。よって、例えば、第 2 サイクル CYC 2 が終了し、次の第 3 サイクル CYC 3 にてスイッチング素子 SZ 1 がオフ状態からオン状態に切り替わった時には、図 7 (a) に示す如く電源ライン 2 上の電位は、ほぼ 0 ボルトになる。

【 0 0 5 1 】

このように、1 つの列電極 D に対する画素データビット DB による少なくとも 2 つのビット系列が [1、0] の如く 1 表示ライン分毎に反転している場合には、図 7 (a) に示す如く、最大電位 V_a で共振振幅 V_1 を有する共振パルス電源電位が電源ライン 2 上に印加されるのである。

一方、1 つの列電極 D に対する画素データビット DB によるビット系列が [1、1、1、1、1、1] の如く連続して論理レベル「1」となる場合には、図 7 (b) に示すように、画素データパルス発生回路 22 のスイッチング素子 SZ 1 はオン状態、SZ 0 がオフ状態固定になる。すなわち、この間、図 7 (a) の場合とは異なり、列電極 D_i 及びスイッチング素子 SZ 0 なる電流路による電荷回収が為されない。よって、各サイクル CYC の駆動行程 G 3 で回収しきれなかった電荷が徐々に PDP 10 の負荷容量 C_0 内に蓄積されて行く。その結果、図 7 (b) に示すように、電源ライン 2 上に印加された共振パルス電源電位はその最大

電位 V_a を維持しつつ共振振幅 V_1 が徐々に小となり、これがそのまま高電圧の画素データパルス $DP_{1i} \sim DP_{7i}$ として列電極 D_i に印加されることになる。

【 0 0 5 2 】

このように、1つの列電極 D に対する画素データビット DB による少なくとも2つの連続したデータビットが互いに論理レベル「1」となる場合には、共振パルス電源電位の共振振幅が図 7 (b) に示す如くその最大電位 V_a を維持したまま小さくなって直流化(電位 V_a に固定)する。これにより、共振作用に伴う充放電動作が停止して無効電力の抑制が図られるのである。

【 0 0 5 3 】

又、1つの列電極 D に対する画素データビット DB によるビット系列が [0、0、0、0、0、0] の如く連続して論理レベル「0」となる場合には、図 7 (c) に示すように、スイッチング素子 SZ_1 はオフ状態、 SZ_0 がオン状態固定になる。この際、第1サイクル $CYC_1 \sim$ 第7サイクル CYC_7 各々の駆動行程 G_1 では、図 7 (a) の場合と同様に、コンデンサ C_1 に蓄えられていた電荷が放電する。この放電に伴ってコンデンサ C_1 の一端に発生した電位 V_c は、コイル L_1 及び電源ライン 2 に寄生する寄生容量 C_e による共振作用により図 7 (c) に示す如く徐々に上昇する。そして、電源ライン 2 上に印加される最終的な電位は上記電位 V_c の2倍の電位を有する電位 V_a に到達する。この際、上述した如き電源ライン 2 上での緩やかな電位上昇部分が、共振パルス電源電位のフロントエッジ部となる。次に、第1サイクル $CYC_1 \sim$ 第7サイクル CYC_7 各々の駆動行程 G_2 では、直流電源 B_1 による電位 V_a がスイッチング素子 S_3 を介して電源ライン 2 上に印加される。この際、電源ライン 2 に寄生する寄生容量 C_e が充電されて電荷の蓄積が為される。尚、上記電位 V_a が、共振パルス電源電位の最大電位部分となる。そして、駆動行程 G_3 が実施されると、この寄生容量 C_e が放電を開始し、寄生容量 C_e に蓄積されていた電荷が共振パルス電源回路 2 1 内に形成されているコンデンサ C_1 に回収されて行く。このとき、コイル L_2 及び寄生容量 C_e で決まる時定数により電源ライン 2 上の電位が徐々に低下する。ところが、各サイクル CYC 毎の駆動行程 G_3 において回収しきれなかった電荷が徐々に寄生容量 C_e に蓄積される為、電源ライン 2 上に印加された共振パルス電

源電位は、図 7 (c) に示すように、その最大電位 V_a を維持しつつ共振振幅 V_1 が徐々に小となる。

【 0 0 5 4 】

このように、1 つの列電極 D に対する画素データビット DB によるビット系列中の少なくとも 2 つの連続したデータビットが互いに論理レベル「0」となる場合においても、図 7 (c) に示す如く、電源ライン 2 上に印加される共振パルス電源電位の振幅が徐々に減少して直流化(電位 V_a に固定)する。従って、上述した如き共振作用に伴う充放電動作が実施されなくなるので無効電力の抑制が為される。

【 0 0 5 5 】

以上の如く、共振パルス電源回路 2 1 は、図 7 (a) ～図 7 (c) に示す如く、列電極 D に印加された画素データパルスによるパルス系列のパターンに応じて、最大電位 V_a を維持したまま共振パルス電源電位の共振振幅を変動させることにより、無効電力の抑制を図るのである。

ところで、列電極 $D_1 \sim D_m$ の内の大半の列電極 D に対する画素データビット DB のビット系列が連続して同一論理レベルとなり、かつ一部の列電極 D に対する画素データビット DB のビット系列が論理反転を繰り返す場合には、アドレスドライバ 6 は図 7 (b) 又は図 7 (c) に示す如き直流駆動となる。よって、高電圧の画素データパルス DP 及び低電圧の画素データパルス DP を各表示ライン毎に交互に列電極 D に供給することになるスイッチング素子 $SZ 1$ では、上述した如き直流駆動が為されるが故に電力損失が増加して発熱量が増大してしまう。

【 0 0 5 6 】

しかしながら、図 1 に示すプラズマディスプレイ装置では、アドレスドライバ電力予測回路 5 によって求められたアドレスドライバ 6 の予測消費電力が所定電力量よりも大となる場合には、1 フィールド表示期間内において印加すべき高電圧の画素データパルスの印加回数を各放電セル毎に減らすようにしている。よって、高電圧の画素データパルスの印加によって生起される選択消去放電の回数が減る分だけ放電に伴って消費される電力が減少するので、スイッチング素子 $SZ 1$ の発熱が抑えられる。

【 0 0 5 7 】

尚、上記実施例においては、アドレス行程Wcでの各放電セルの設定方法として、予め全放電セル内に壁電荷を形成させておき、画素データに応じて選択的にその壁電荷を消去する、いわゆる選択消去アドレス法を採用した場合について述べた。

しかしながら、本発明は、画素データに応じて各放電セル内に選択的に壁電荷を形成させるようにした、いわゆる選択書込アドレス法を採用した場合についても同様に適用可能である。

【 0 0 5 8 】

図12は、かかる選択書込アドレス法を採用した場合に駆動制御回路20において用いられる発光駆動フォーマットを示す図である。又、図13は、この選択書込アドレス法を採用した場合に第2データ変換回路34で用いられるデータ変換テーブルと、このデータ変換テーブルによって得られた画素駆動データGD_aに基づく発光駆動パターンとを示す図である。更に、図14は、上記選択書込アドレス法を採用した場合に第2データ変換回路35で用いられるデータ変換テーブルと、このデータ変換テーブルによって得られた画素駆動データGD_bに基づく発光駆動パターンとを示す図である。

【 0 0 5 9 】

選択書込アドレス法を採用した場合には、図12に示す如き先頭のサブフィールドSF14の一斉リセット行程Rcにおいて、全ての放電セルに対してリセット放電を生起せしめ、全放電セル内に残留する壁電荷を消滅させる。そして、サブフィールドSF14～SF1各々のアドレス行程Wcにおいて、各放電セルを図13又は図14に示される画素駆動データGDに基づき選択的に放電(選択書込放電)せしめる。この際、選択書込放電の生起された放電セルではその放電セル内に壁電荷が形成され、この放電セルは点灯セル状態に設定される。一方、上記選択書込放電の生起されなかった放電セルでは、壁電荷の形成が為されないもので、この放電セルは消灯セル状態に設定される。そして、サブフィールドSF14～SF1各々の発光維持行程Icにおいて点灯セル状態にある放電セルのみが、図12に記述さされている回数だけ繰り返し放電(維持放電)し、この維持放電

に伴う発光状態を維持する。

【 0 0 6 0 】

この際、駆動制御回路 2 0 は、アドレスドライバ電力予測回路 5 によって測定されたアドレスドライバ 6 の消費電力を表す予測アドレス電力値 W P に基づいて、図 1 3 に示す駆動及び図 1 4 に示す駆動のいずれか一方を実行する。

まず、予測アドレス電力値 W P によって示されるアドレスドライバ 6 の予測消費電力が所定電力よりも小なる場合には、駆動制御回路 2 0 は、論理レベル「0」のアドレス電力抑制信号 A P C を上記データ変換回路 3 0 のセクタ 3 6 に供給する。すると、図 1 3 に示す如き画素駆動データ G D_a がメモリ 4 に供給され、この画素駆動データ G D_a に基づいて図 1 2 に従った駆動が実施される。すなわち、図 1 3 の三角印にて示すように、表現すべき輝度レベルに応じた分だけ連続して各サブフィールドのアドレス行程 W c において選択書込放電が生起されるのである。そして、図 1 3 の三角印に示される各サブフィールドの発光維持行程 I c においてそのサブフィールドに対応した回数だけ維持放電が生起される。かかる駆動により、1 フィールド期間内で実施された維持放電の総数に応じた、

{ 0、1、4、9、17、27、40、56、75、97、122、150、182、217、255 }

なる 1 5 段階分の中間輝度表示が為される。

【 0 0 6 1 】

この際、図 1 3 の三角印にて示す如く、1 フィールド期間内において繰り返し選択書込放電を実施させることにより確実に放電セル内に壁電荷を形成させて、誤放電による表示劣化を抑制するのである。

一方、予測アドレス電力値 W P によって示されるアドレスドライバ 6 の現時点での消費電力が所定電力よりも大なる場合には、駆動制御回路 2 0 は、論理レベル「1」のアドレス電力抑制信号 A P C を上記データ変換回路 3 0 のセクタ 3 6 に供給する。すると、図 1 4 に示す如き画素駆動データ G D_b がメモリ 4 に供給され、この画素駆動データ G D_b に基づいて図 1 2 に従った駆動が実施される。すなわち、図 1 4 の黒丸印に示す如く、1 フィールド期間内において 1 回 (又は 0 回) だけ選択書込放電を生起させるのである。選択書込アドレス法を採用した場合、放電セル内の壁電荷を消去させる行程は、先頭のサブフィールド S F 1

4の一斉リセット行程Rc及び最後尾のサブフィールドSF1の消去行程Eのみである。よって、図14の黒丸印に示すサブフィールドのアドレス行程Wcにおいて1度だけ選択書込放電を生起させておけば、それ以降のサブフィールド各々のアドレス行程Wcにおいて選択書込放電を生起させなくても、放電セルを点灯セル状態に維持させておくことが出来る。従って、図14の黒丸印及び白丸印に示される各サブフィールドの発光維持行程Icにおいてそのサブフィールドに対応した回数だけ維持放電が生起される。かかる駆動により、1フィールド期間内で実施された維持放電の総数に応じた、

{0, 1, 4, 9, 17, 27, 40, 56, 75, 97, 122, 150, 182, 217, 255}

なる15段階分の間輝度表示が、図10の場合と同様に為される。

【0062】

ただし、図14に示す駆動では、1フィールド期間内で実施する選択書込放電の回数を1回以下にしてあるので、この選択書込放電に伴う電力消費が図13に示す駆動に比して小である。

又、上記実施例においては、アドレスドライバ6の予測消費電力が大なる場合には、1フィールド期間内で生起させる選択消去(又は書込)放電の回数を1回以下にしているが、これに限定されるものではない。要するに、アドレスドライバ6の予測消費電力が大なる場合には、1フィールド期間内で生起させる選択消去(又は書込)放電の回数を減らせば良いのである。

【0063】

又、このように、1フィールド期間内で生起させる選択消去(又は書込)放電の回数を減らす代わりに、サブフィールドの数を減らすようにしても良い。

図15は、かかる点に鑑みて為された発光駆動フォーマットの一例を示す図である。

すなわち、駆動制御回路20は、アドレスドライバ6の予測消費電力が所定電力よりも小なる場合には、図15(a)に示す如き14個のサブフィールドSF1～SF14によって階調駆動を実施する。一方、アドレスドライバ6の予測消費電力が所定電力よりも大なる場合には、駆動制御回路20は、図15(b)に示す12個のサブフィールドSF1～SF12によって階調駆動を実施する。よって

、アドレスドライバ6の予測消費電力が比較的大なる場合には、サブフィールドの数が14から12に減るので、その分だけアドレス行程Wc内で生起される選択放電の数も減少する。従って、1フィールド期間内で生起される選択放電の数が減るので、この選択放電に伴うアドレスドライバ6での電力消費が小さくなる。

【0064】

又、上記実施例においては、アドレスドライバ6の現時点での消費電力に応じて、1フィールド期間内で実施する選択放電の回数を、図4(図13)の場合と、図5(図14)の場合の2段階で切り換えているが、これに限定されるものではない。要するに、アドレスドライバ6の予測消費電力に応じて、1フィールド期間内で繰り返して生起させるべき選択放電の回数を3段階以上で切り換えるように構成しても良いのである。

【0065】

又、図6に示す共振パルス電源回路21では、スイッチング素子S1、コイルL1及びダイオードDD1からなる放電電流路と、コイルL2、ダイオードDD2及びスイッチング素子S2からなる充電電流路との各々にコイルを設けたが、図16に示す如く、放電電流路及び充電電流路各々で1つのコイル(LL)を共有しても良い。

【0066】

又、上記実施例においては、フレキシブルケーブルFL上に画素データパルス発生回路22をICチップ化したドライバモジュールDMを実装したが、このドライバモジュールDMを背面基板100の周辺部に直接実装して列電極引き出し線及び電源ラインに夫々接続するように構成しても良い。

【図面の簡単な説明】

【図1】

本発明による表示パネルの駆動装置を搭載したプラズマディスプレイ装置の概略構成を示す図である。

【図2】

図1に示すプラズマディスプレイ装置のデータ変換回路30の内部構成の一例

を示す図である。

【図 3】

図 2 に示される第 1 データ変換回路 3 2 におけるデータ変換特性を示す図である。

【図 4】

第 2 データ変換回路 3 4 における変換テーブルと、その変換テーブルによって変換された画素駆動データ GD_a に基づいて実施される駆動パターンの一例を示す図である。

【図 5】

第 2 データ変換回路 3 5 における変換テーブルと、その変換テーブルによって変換された画素駆動データ GD_b に基づいて実施される駆動パターンの一例を示す図である。

【図 6】

図 1 に示されるアドレスドライバ 6 の内部構成を示す図である。

【図 7】

アドレスドライバ 6 の内部動作を説明する為の図である。

【図 8】

アドレスドライバ 6 の実装形態を示す図である。

【図 9】

n 行、 m 列のデータビット行列 $DB_{(n,m)}$ を表す図である。

【図 1 0】

選択消去アドレス法を採用して PDP 1 0 を駆動する際に用いられる発光駆動フォーマットの一例を示す図である。

【図 1 1】

図 1 0 に示される発光駆動フォーマットに従って PDP 1 0 に印加する各種駆動パルスとその印加タイミングを示す図である。

【図 1 2】

選択書込アドレス法を採用して PDP 1 0 を駆動する際に用いられる発光駆動フォーマットの一例を示す図である。

【図 1 3】

選択書込アドレス法を採用して P D P 1 0 を駆動する際に第 2 データ変換回路 3 4 において用いられる変換テーブルと、その変換テーブルによって得られた画素駆動データ GD_a に基づく駆動パターンの一例を示す図である。

【図 1 4】

選択書込アドレス法を採用して P D P 1 0 を駆動する際に第 2 データ変換回路 3 5 において用いられる変換テーブルと、その変換テーブルによって得られた画素駆動データ GD_b に基づく駆動パターンの一例を示す図である。

【図 1 5】

本発明の他の実施例による発光駆動フォーマットを示す図である。

【図 1 6】

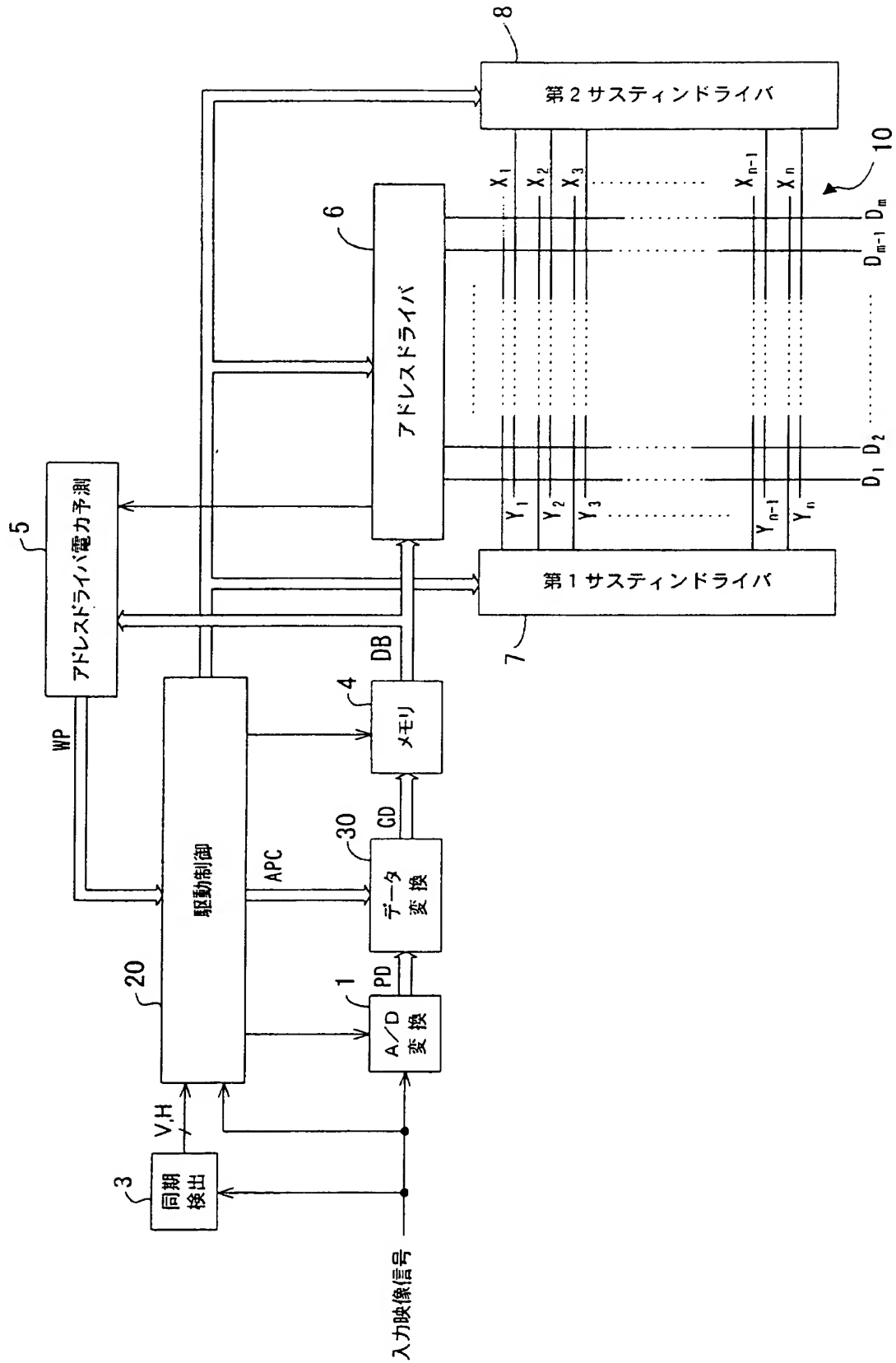
共振パルス電源回路 2 1 の他の構成を示す図である。

【主要部分の符号の説明】

- 5 アドレスドライバ電力予測回路
- 6 アドレスドライバ
- 1 0 P D P
- 2 0 駆動制御回路
- 2 1 電源回路
- 2 2 画素データパルス発生回路
- 34,35 第 2 データ変換回路
- 3 6 セレクタ

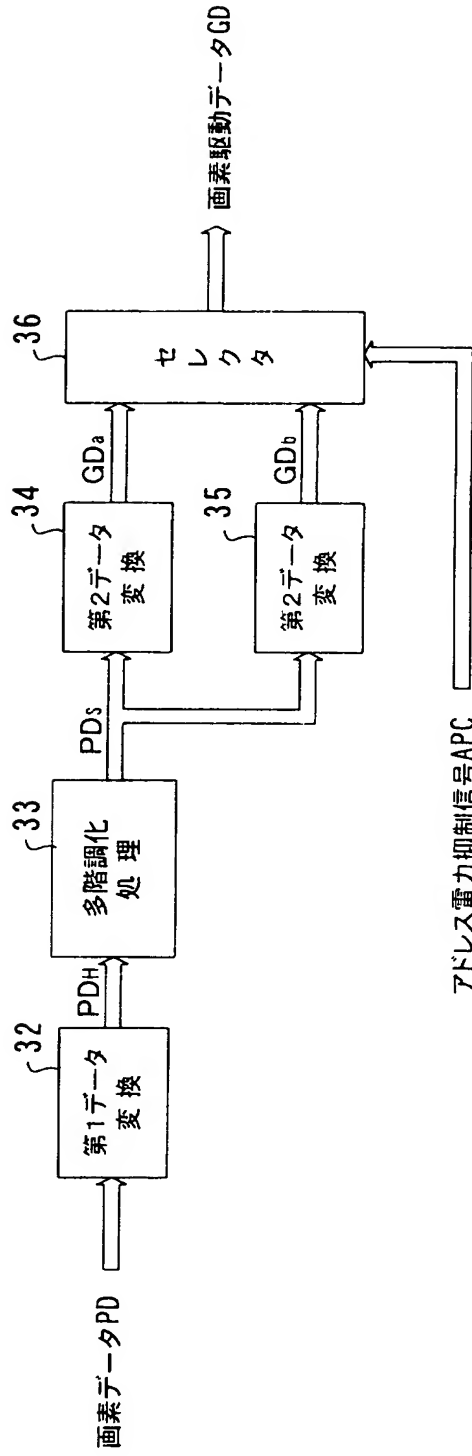
【書類名】 図面

【図 1】

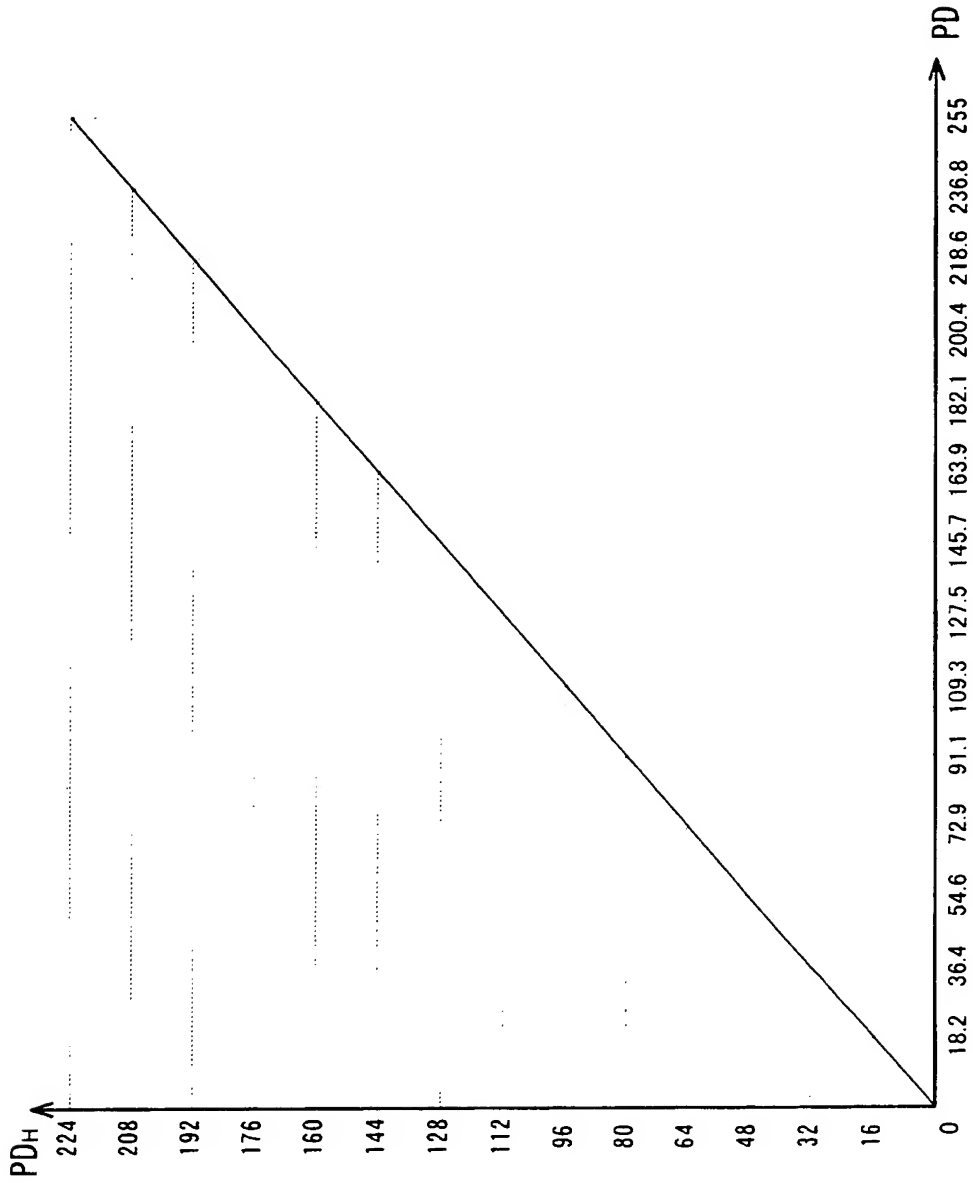


【図 2】

30



【図 3】



【図 4】

〔選択消去〕

階調	第2データ変換回路34の変換テーブル														1フィールド発光駆動パターン														発光 輝度	
	PDS	GDa														SF SF SF SF SF SF SF SF SF SF SF SF SF SF SF SF														
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	1	2	3	4	5	6	7	8	9	10	11	12	13		14
1	0000	1	1	1	1	1	1	1	1	1	1	1	1	1	●	●	●	●	●	●	●	●	●	●	●	●	●	●	0	
2	0001	0	1	1	1	1	1	1	1	1	1	1	1	1	○	●	●	●	●	●	●	●	●	●	●	●	●	●	4	
3	0010	0	0	1	1	1	1	1	1	1	1	1	1	1	○	○	●	●	●	●	●	●	●	●	●	●	●	●	16	
4	0011	0	0	0	1	1	1	1	1	1	1	1	1	1	○	○	○	●	●	●	●	●	●	●	●	●	●	●	36	
5	0100	0	0	0	0	1	1	1	1	1	1	1	1	1	○	○	○	○	●	●	●	●	●	●	●	●	●	●	68	
6	0101	0	0	0	0	0	1	1	1	1	1	1	1	1	○	○	○	○	○	●	●	●	●	●	●	●	●	●	108	
7	0110	0	0	0	0	0	0	1	1	1	1	1	1	1	○	○	○	○	○	○	●	●	●	●	●	●	●	●	160	
8	0111	0	0	0	0	0	0	0	1	1	1	1	1	1	○	○	○	○	○	○	○	●	●	●	●	●	●	●	224	
9	1000	0	0	0	0	0	0	0	0	1	1	1	1	1	○	○	○	○	○	○	○	○	●	●	●	●	●	●	300	
10	1001	0	0	0	0	0	0	0	0	0	1	1	1	1	○	○	○	○	○	○	○	○	○	●	●	●	●	●	388	
11	1010	0	0	0	0	0	0	0	0	0	0	1	1	1	○	○	○	○	○	○	○	○	○	○	○	○	○	○	488	
12	1011	0	0	0	0	0	0	0	0	0	0	0	1	1	○	○	○	○	○	○	○	○	○	○	○	○	○	○	600	
13	1100	0	0	0	0	0	0	0	0	0	0	0	0	1	○	○	○	○	○	○	○	○	○	○	○	○	○	○	728	
14	1101	0	0	0	0	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	868	
15	1110	0	0	0	0	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	1024	

黒丸:選択消去放電
白丸:維持放電発光

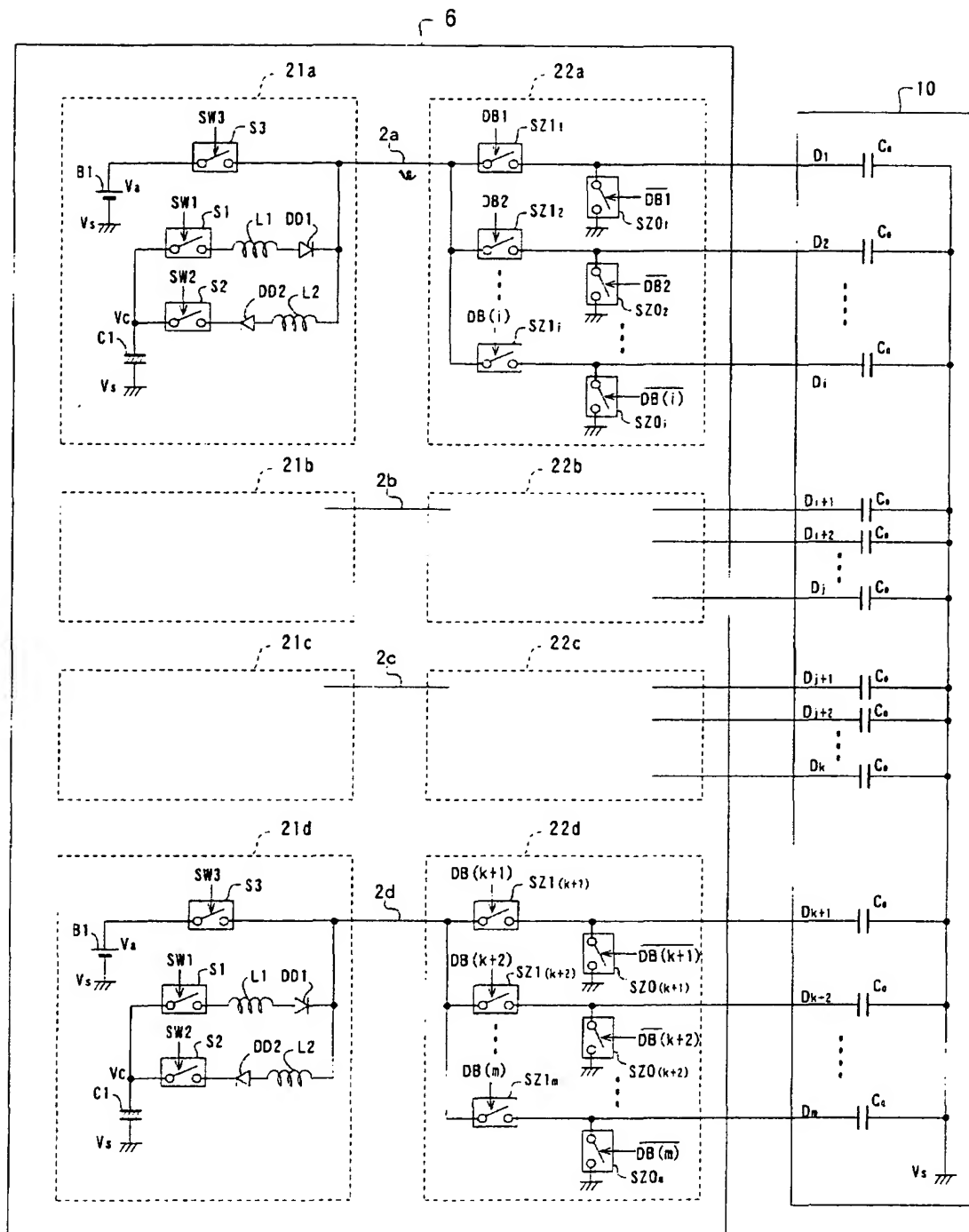
【図 5】

〔選択消去〕

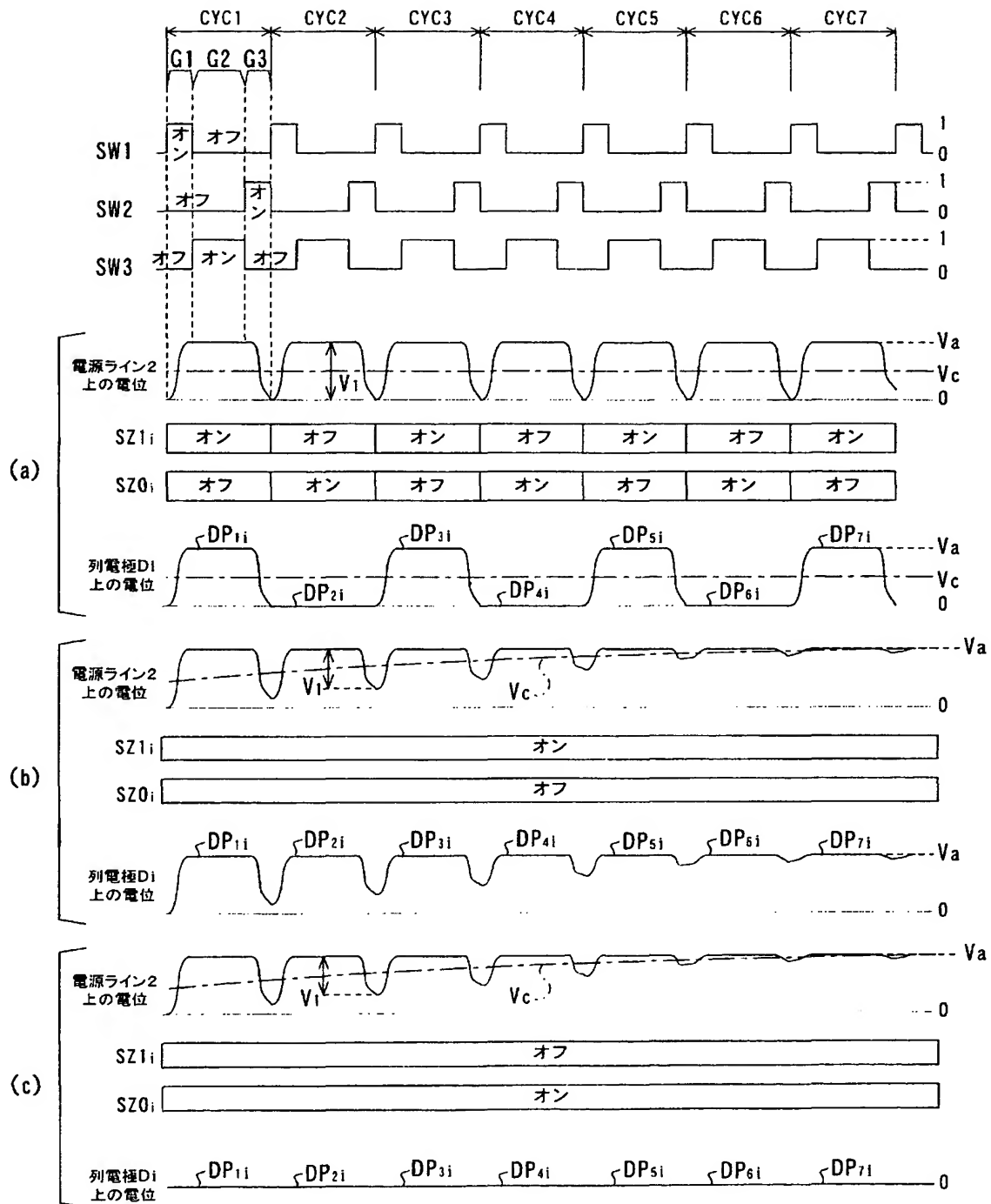
階調	第2データ変換回路35の変換テーブル														1フィールド発光駆動パターン														発光 輝度		
	PDS	1	2	3	4	5	6	7	8	9	10	11	12	13	14	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF		SF	
1	0000	1	0	0	0	0	0	0	0	0	0	0	0	0	0	●															0
2	0001	0	1	0	0	0	0	0	0	0	0	0	0	0	0	○	●														4
3	0010	0	0	1	0	0	0	0	0	0	0	0	0	0	0	○	○	●													16
4	0011	0	0	0	1	0	0	0	0	0	0	0	0	0	0	○	○	○	●												36
5	0100	0	0	0	0	1	0	0	0	0	0	0	0	0	0	○	○	○	○	●											68
6	0101	0	0	0	0	0	1	0	0	0	0	0	0	0	0	○	○	○	○	○	○	●									108
7	0110	0	0	0	0	0	0	1	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	●							160
8	0111	0	0	0	0	0	0	0	1	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○		224
9	1000	0	0	0	0	0	0	0	0	1	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○		300
10	1001	0	0	0	0	0	0	0	0	0	1	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○		388
11	1010	0	0	0	0	0	0	0	0	0	0	1	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○		488
12	1011	0	0	0	0	0	0	0	0	0	0	0	1	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○		600
13	1100	0	0	0	0	0	0	0	0	0	0	0	0	1	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○		728
14	1101	0	0	0	0	0	0	0	0	0	0	0	0	0	1	○	○	○	○	○	○	○	○	○	○	○	○	○	○		868
15	1110	0	0	0	0	0	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○		1024

黒丸:選択消去放電
白丸:維持放電発光

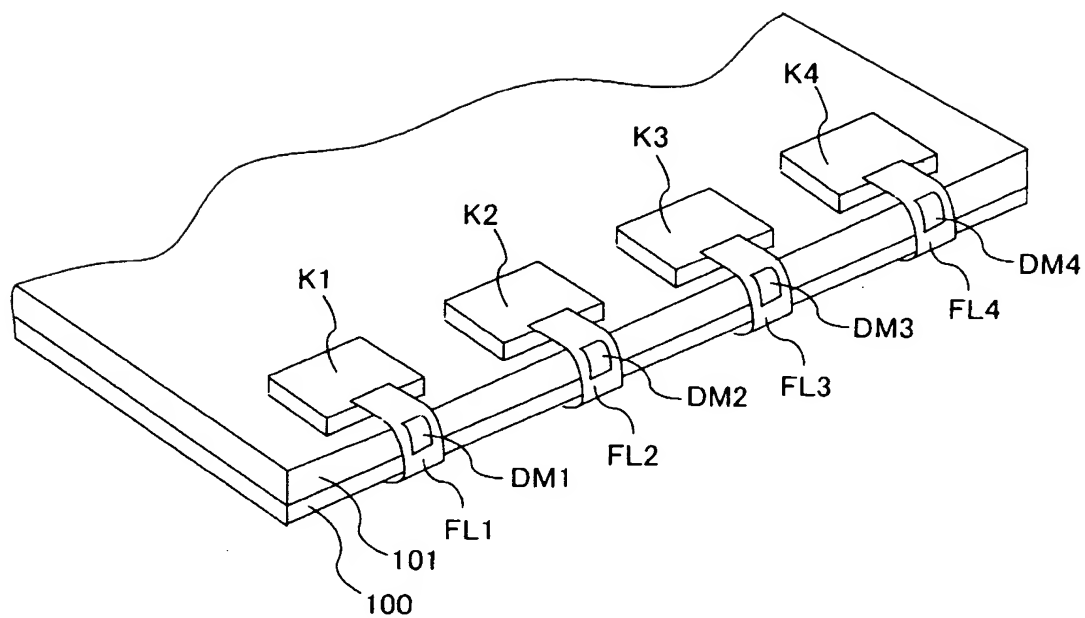
【図 6】



【図 7】



【図 8】



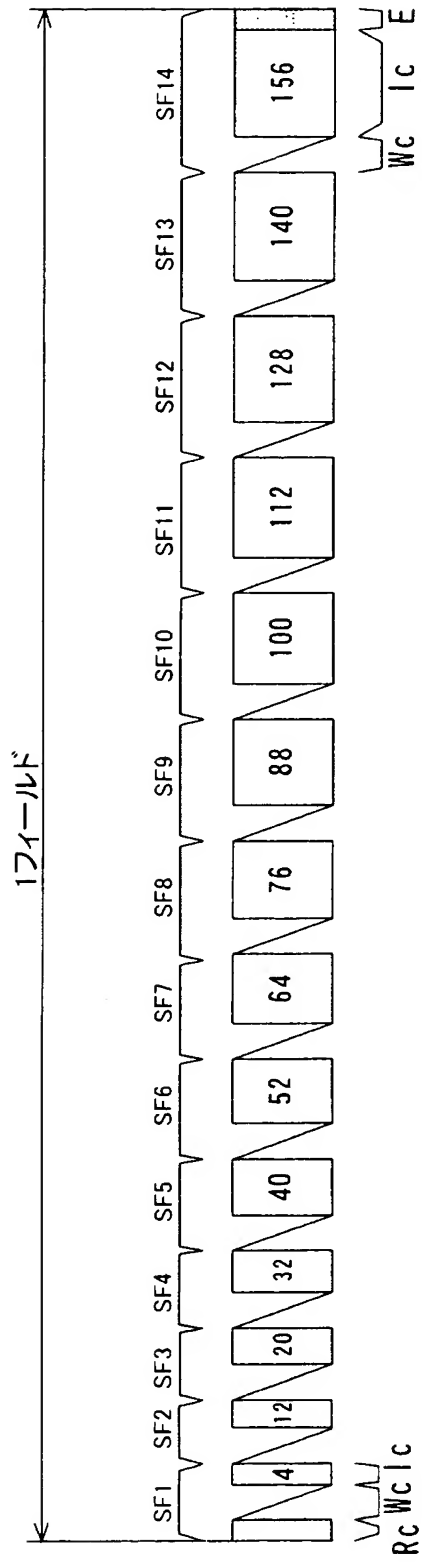
【図 9】

$DB_{(1,1)}$	$DB_{(1,2)}$	$DB_{(1,3)}$	-----	$DB_{(1,m)}$
$DB_{(2,1)}$	$DB_{(2,2)}$	$DB_{(2,3)}$	-----	$DB_{(2,m)}$
$DB_{(3,1)}$	$DB_{(3,2)}$	$DB_{(3,3)}$	-----	$DB_{(3,m)}$
⋮	⋮	⋮		⋮
$DB_{(n,1)}$	$DB_{(n,2)}$	$DB_{(n,3)}$	-----	$DB_{(n,m)}$

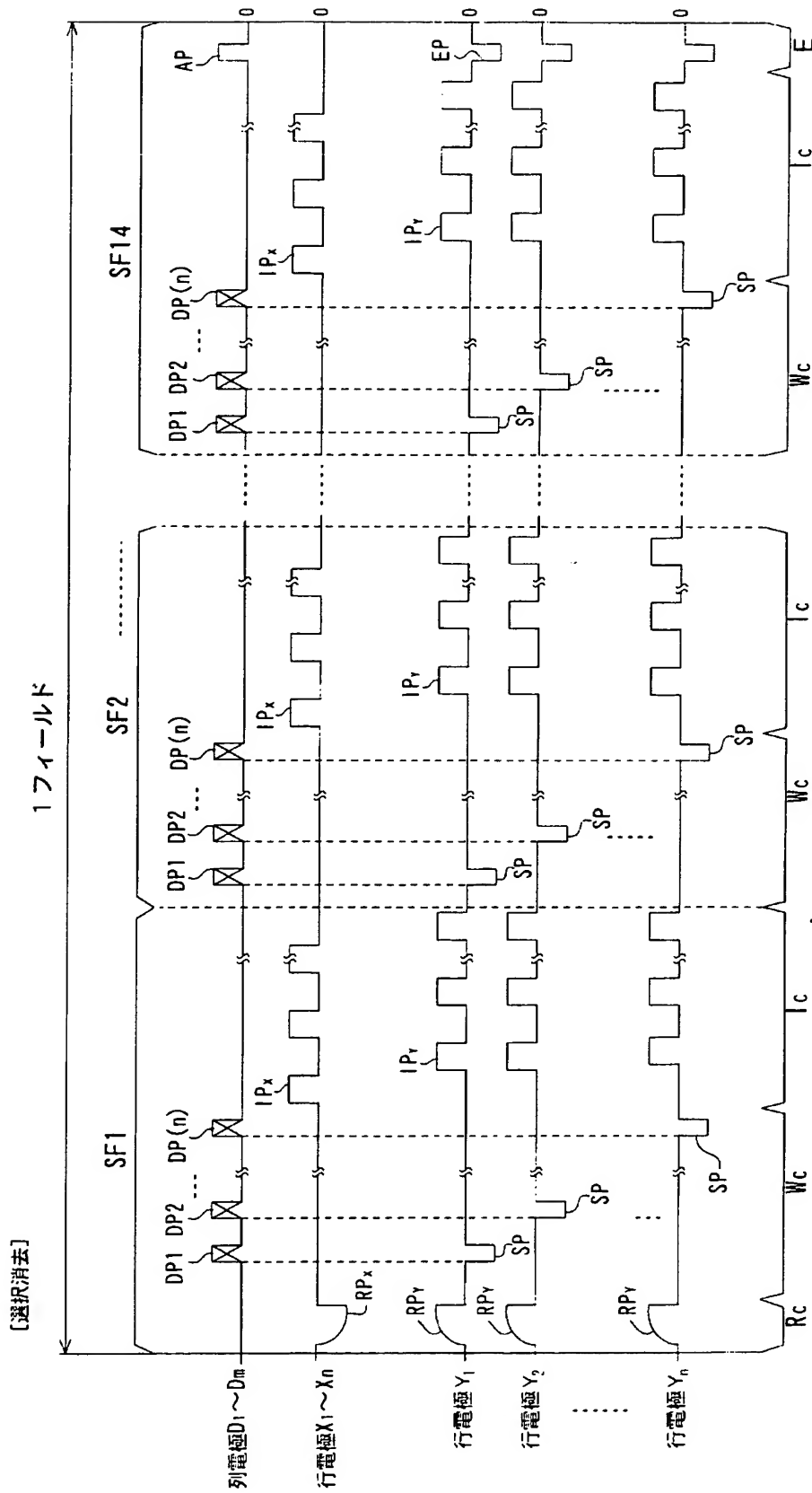
$DB_{(N,M)} =$

【図 1 0】

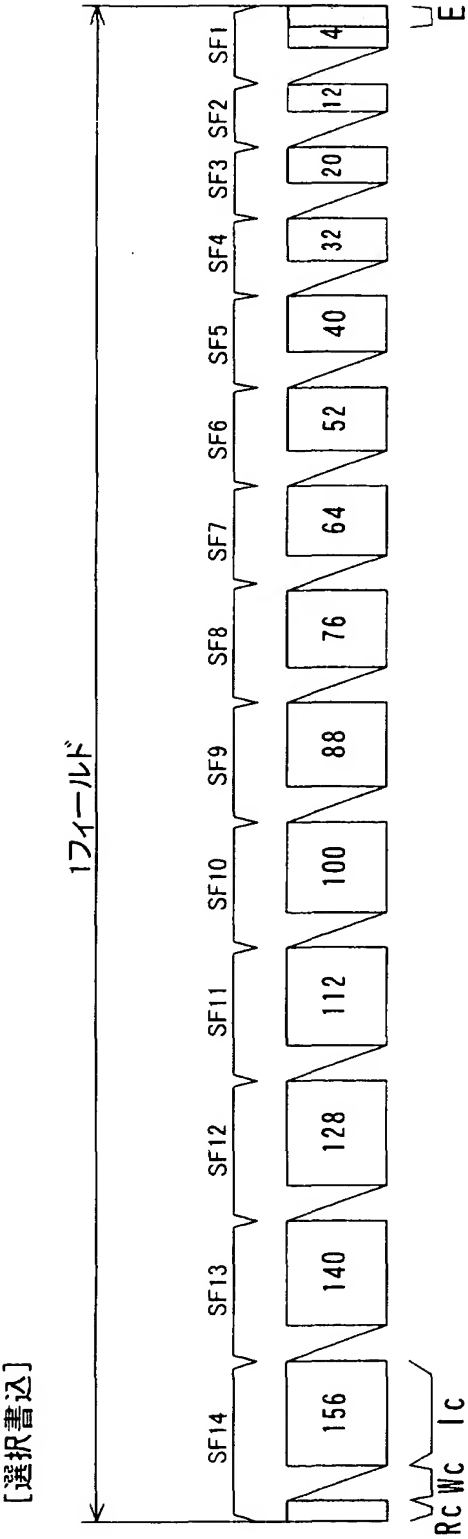
【選択消去】



【図 1 1】



【図 1 2】



【図 1 3】

[選択書込]

階調	第2データ変換回路34の変換テーブル														1フィールド発光駆動パターン															発光 輝度	
	PDs	GDa														SF 14	SF 13	SF 12	SF 11	SF 10	SF 9	SF 8	SF 7	SF 6	SF 5	SF 4	SF 3	SF 2	SF 1		
		14	13	12	11	10	9	8	7	6	5	4	3	2	1																
1	0000	0	0	0	0	0	0	0	0	0	0	0	0	0																	0
2	0001	0	0	0	0	0	0	0	0	0	0	0	0	0																	4
3	0010	0	0	0	0	0	0	0	0	0	0	0	0	0	1																16
4	0011	0	0	0	0	0	0	0	0	0	0	0	0	1	1																36
5	0100	0	0	0	0	0	0	0	0	0	0	0	1	1	1																68
6	0101	0	0	0	0	0	0	0	0	0	1	1	1	1	1																108
7	0110	0	0	0	0	0	0	0	0	1	1	1	1	1	1																160
8	0111	0	0	0	0	0	0	1	1	1	1	1	1	1	1																224
9	1000	0	0	0	0	0	1	1	1	1	1	1	1	1	1																300
10	1001	0	0	0	0	1	1	1	1	1	1	1	1	1	1																388
11	1010	0	0	0	1	1	1	1	1	1	1	1	1	1	1																488
12	1011	0	0	1	1	1	1	1	1	1	1	1	1	1	1																600
13	1100	0	0	1	1	1	1	1	1	1	1	1	1	1	1																728
14	1101	0	1	1	1	1	1	1	1	1	1	1	1	1	1																868
15	1110	1	1	1	1	1	1	1	1	1	1	1	1	1	1																1024

△ 選択書込放電+維持放電発光




【図 1 4】

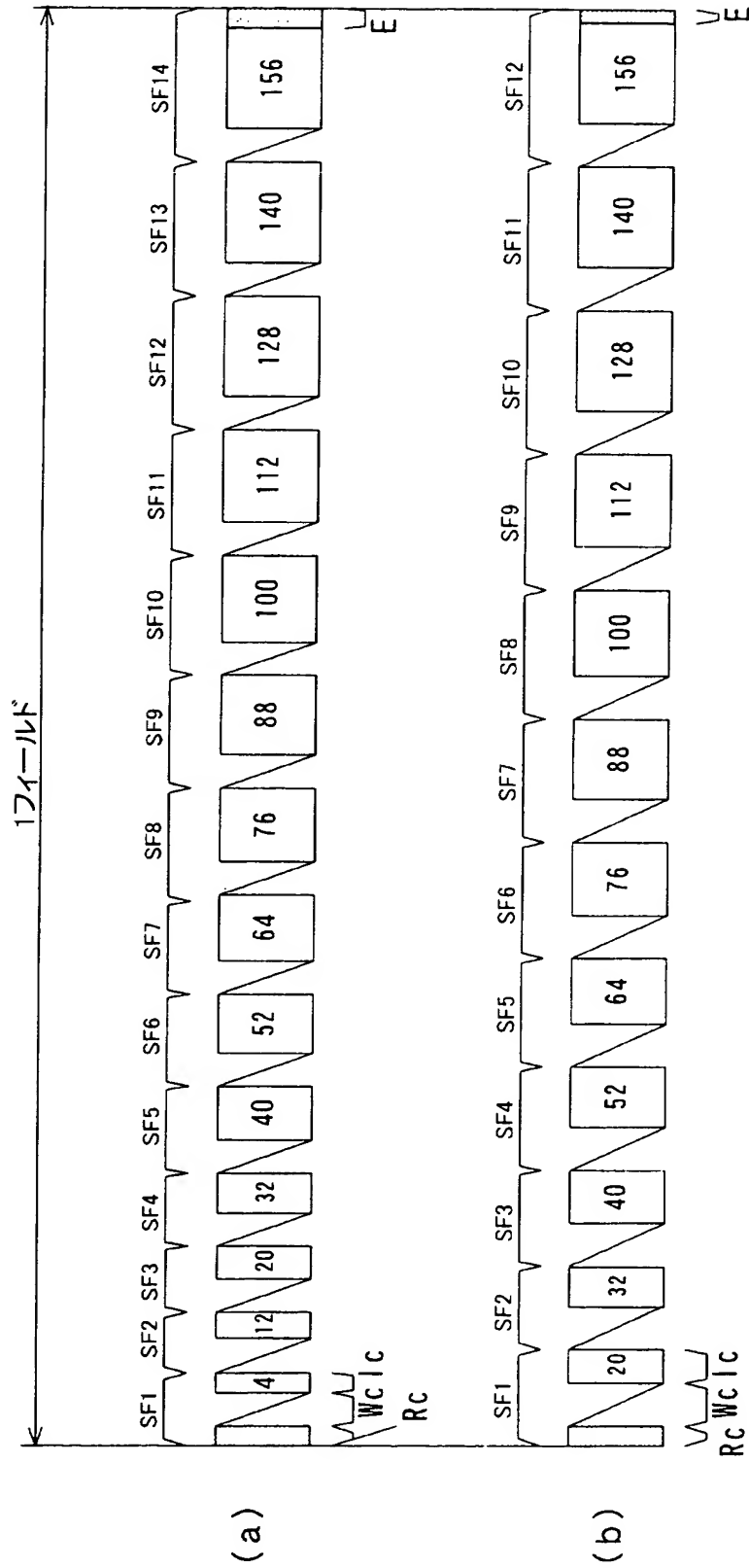
[選択書込]

階調	第2データ変換回路35の変換テーブル														1フィールド発光駆動パターン														発光 輝度		
	PDs	GD _b														SF 14	SF 13	SF 12	SF 11	SF 10	SF 9	SF 8	SF 7	SF 6	SF 5	SF 4	SF 3	SF 2		SF 1	
		14	13	12	11	10	9	8	7	6	5	4	3	2	1																
1	0000	0	0	0	0	0	0	0	0	0	0	0	0	0																	0
2	0001	0	0	0	0	0	0	0	0	0	0	0	0	0	1																4
3	0010	0	0	0	0	0	0	0	0	0	0	0	0	1	0																16
4	0011	0	0	0	0	0	0	0	0	0	0	0	1	0	0																36
5	0100	0	0	0	0	0	0	0	0	0	0	1	0	0	0																68
6	0101	0	0	0	0	0	0	0	0	0	1	0	0	0	0																108
7	0110	0	0	0	0	0	0	0	0	1	0	0	0	0	0																160
8	0111	0	0	0	0	0	0	1	0	0	0	0	0	0	0																224
9	1000	0	0	0	0	0	1	0	0	0	0	0	0	0	0																300
10	1001	0	0	0	0	1	0	0	0	0	0	0	0	0	0																388
11	1010	0	0	0	1	0	0	0	0	0	0	0	0	0	0																488
12	1011	0	0	1	0	0	0	0	0	0	0	0	0	0	0																600
13	1100	0	1	0	0	0	0	0	0	0	0	0	0	0	0																728
14	1101	0	1	0	0	0	0	0	0	0	0	0	0	0	0																868
15	1110	1	0	0	0	0	0	0	0	0	0	0	0	0	0																1024

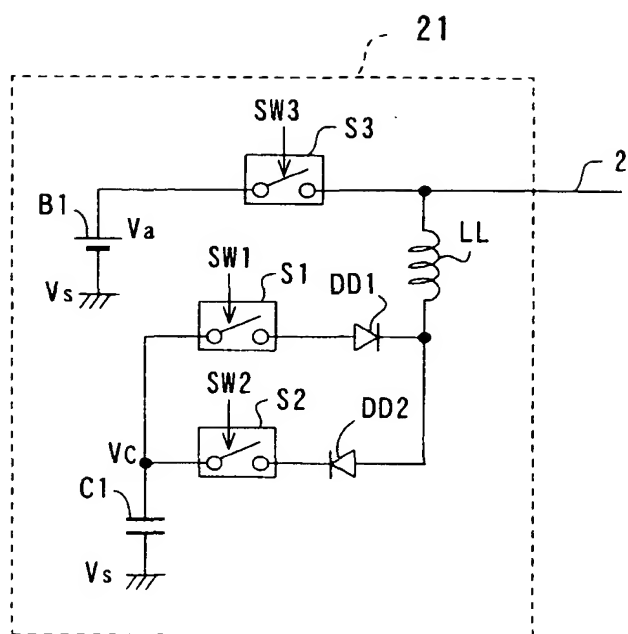
黒丸:選択書込放電+維持放電発光
白丸:維持放電発光



【図 1 5】



【図 16】



【書類名】 要約書

【要約】

【課題】 消費電力の低減等を図ることが可能な表示パネルの駆動装置を提供することを目的とする。

【解決手段】 画素データに応じた画素データパルスが発生して列電極に印加する画素データパルス発生回路と、所定の共振振幅にて電位が変動する共振パルス電源電位が発生してこれを電源ラインに印加すると共に画素データパルスによるパルス系列のパターンに応じて最大電位を維持しつつ共振振幅を変動させる共振パルス電源回路とを有し、入力映像信号における1フィールド分の画素データに基づいて共振パルス電源回路の予測消費電力量を求め、この予測消費電力量に応じて共振パルス電源回路の電力消費量を調整すべく画素データパルス発生回路を制御する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 0 1 6]

1. 変更年月日 1 9 9 0 年 8 月 3 1 日
[変更理由] 新規登録
住 所 東京都目黒区目黒1丁目4番1号
氏 名 パイオニア株式会社

出 願 人 履 歴 情 報

識別番号 [398050283]

1. 変更年月日 1998年 7月16日
[変更理由] 新規登録
住 所 静岡県袋井市鷺巣字西ノ谷15の1
氏 名 静岡パイオニア株式会社